



Titre: Synthétiseur de fréquences RF destiné aux dispositifs médicaux
Title: implantables

Auteur: Louis-François Tanguay
Author:

Date: 2010

Type: Mémoire ou thèse / Dissertation or Thesis

Référence: Tanguay, L.-F. (2010). Synthétiseur de fréquences RF destiné aux dispositifs médicaux implantables [Mémoire de maîtrise, École Polytechnique de Montréal].
Citation: PolyPublie. <https://publications.polymtl.ca/431/>

 **Document en libre accès dans PolyPublie**
Open Access document in PolyPublie

URL de PolyPublie: <https://publications.polymtl.ca/431/>
PolyPublie URL:

Directeurs de recherche: Mohamad Sawan, & Yvon Savaria
Advisors:

Programme: génie électrique
Program:

UNIVERSITÉ DE MONTRÉAL

SYNTHÉTISEUR DE FRÉQUENCES RF DESTINÉ AUX DISPOSITIFS MÉDICAUX
IMPLANTABLES

LOUIS-FRANÇOIS TANGUAY
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION
DU DIPLÔME DE PHILOSOPHIÆ DOCTOR
(GÉNIE ÉLECTRIQUE)
DÉCEMBRE 2010

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée:

SYNTHÉTISEUR DE FRÉQUENCES RF DESTINÉ AUX DISPOSITIFS MÉDICAUX
IMPLANTABLES

présentée par: TANGUAY Louis-François
en vue de l'obtention du diplôme de: Philosophiæ Doctor
a été dûment acceptée par le jury d'examen constitué de:

M. BRAULT Jean-Jules, Ph.D., président
M. SAWAN Mohamad, Ph.D., membre et directeur de recherche
M. SAVARIA Yvon, Ph.D., membre et codirecteur de recherche
M. BLAQUIÈRE Yves, Ph.D., membre
M. KOUKI Ammar, Ph.D., membre externe

REMERCIEMENTS

Je voudrais tout d'abord remercier sincèrement mon directeur de recherche, le professeur Mohamad Sawan, chez qui la rigueur et l'exigence invitent les autres au dépassement. Je tiens à lui exprimer ma gratitude pour sa grande disponibilité, sa patience, ainsi que pour la générosité avec laquelle il a su partager ses connaissances et conseils.

Je remercie également mon codirecteur de recherche, le professeur Yvon Savaria, pour son aide, ses encouragements, ainsi que pour les nombreuses discussions techniques stimulantes qui ont agrémenté ces années de recherche doctorale. Je suis aussi profondément redevant envers les membres du jury qui ont généreusement accepté d'investir de leur précieux temps et expertise afin d'évaluer cette thèse.

Dans le cadre de ce doctorat, j'ai eu la chance de côtoyer et de travailler avec des étudiants motivés et brillants. Je tiens à remercier tous les étudiants du groupe de recherche Polystim, pour leur support et leur enthousiasme dans le laboratoire. Je tiens également à remercier chaleureusement Réjean Lepage, Laurent Mouden et Gaétan Décarie pour leur support technique, tant au niveau des outils informatiques que de l'assemblage des puces et circuits imprimés.

Je remercie également Marie-Yannick Laplante et Ghislaine Carrier pour leur aide inestimable au niveau administratif. Je suis aussi très reconnaissant envers le Fonds Québécois de la Recherche sur la Nature et les Technologies (FQRNT) ainsi que Micronet R&D, pour le support financier sans lequel cette thèse n'aurait jamais vu le jour.

Enfin, je remercie profondément Anne qui m'a offert tout son support et n'a cessé de m'encourager jusqu'à la toute fin de la rédaction de cette thèse. Je suis un individu excessivement privilégié d'avoir une personne aussi merveilleuse et généreuse à mes côtés.

RÉSUMÉ

Les microsystèmes biomédicaux implantables présentent un énorme potentiel pour la recherche médicale. Les dispositifs médicaux intelligents implantables, qui combinent des capteurs et/ou des actionneurs avec des circuits intégrés, ouvrent la voie à des applications fascinantes. Aujourd'hui, la possibilité d'utiliser la technologie CMOS pour intégrer des circuits RF, numériques, et même certains types de capteurs sur une même puce, suscite un vif intérêt dans un domaine nouveau : celui des réseaux de capteurs implantables, ou BSN (Body-Sensor Networks) et leurs applications en recherche biomédicale. L'implantation dans le corps de tels réseaux de capteurs sans-fils permettrait de surveiller, détecter ou même combattre différentes maladies, et ce de manière *in situ*.

Avec des dimensions minimales inférieures à 100 nm, la technologie CMOS représente un choix viable pour l'implémentation des blocs de bases des circuits intégrés radio-fréquences (Radio-Frequency Integrated Circuits - RFIC) à faible consommation de puissance. Toutefois, la réduction de la tension d'alimentation permise dans les procédés CMOS nanométriques, l'impédance de sortie limitée des transistors disponibles, ainsi que les variations de procédés ont pour conséquence que plusieurs architectures de circuits analogiques n'offrent plus les performances requises ou ne sont tout simplement plus applicables. Des méthodes de conception innovatrices doivent être utilisées et des compromis judicieux doivent être faits afin de maintenir les performances requises.

Dans un système de communication sans-fil, l'oscillateur local (*Local Oscillator - LO*) est l'un des modules les plus importants puisqu'il sert à générer la porteuse du lien RF qui sera par la suite modulée pour transmettre les données. Dans un contexte où la consommation de puissance doit être strictement minimisée, la génération d'une fréquence porteuse RF stable dans un procédé CMOS nanométrique présente des défis énormes. Dans cette optique, cette thèse se concentre sur la conception, l'analyse, ainsi que sur l'implémentation de circuits analogiques et RF à basse tension faisant partie d'un synthétiseur de fréquences à consommation ultra faible utilisant un procédé CMOS nanométrique.

Tout d'abord, une nouvelle architecture de miroir de courant présentant une impédance de sortie très élevée destinée aux applications à faible tension d'alimentation est présentée. Ce miroir de courant de faible complexité présente une résistance de sortie très élevée et ce pour des tensions de sortie s'approchant des alimentations. Ensuite, une nouvelle architecture de pompe de charges CMOS destinée aux boucles à verrouillage de phase à faible tension et faible puissance est proposée afin de contourner les difficultés causées par la basse tension d'alimentation et la faible impédance de sortie des transistors nanométriques. La configuration de pompe de charges proposée résulte en un courant de sortie dont la magnitude est constante et le non-appariement entre les courants

I_{UP} et I_{DOWN} est minimal, tout en minimisant la consommation de puissance et la complexité des circuits. Aussi, le niveau des impulsions de courant indésirables (*glitches*) lors de l'activation et la mise hors circuit des commutateurs est très faible dû au maintien de la tension aux grilles des transistors de sortie à une valeur pratiquement constante entre les différents états de la pompe de charges .

Un nouvel oscillateur contrôlé par tension avec résonateur LC (LC-VCO) minimisant l'impact des variations de procédé sur la consommation de puissance et le bruit de phase est ensuite étudié. L'architecture proposée permet d'assurer le démarrage du VCO, de diminuer la variabilité du bruit de phase et de minimiser la consommation de puissance, et ce peu importe le coin du procédé. L'approche utilisée consiste à alimenter le coeur du VCO à l'aide d'un régulateur de tension dont la valeur de la référence dépend des paramètres du procédé à l'endroit sur la puce où est situé le VCO. La conception et le processus d'optimisation de l'inductance utilisée dans le résonateur du LC-VCO sont également présentés.

Un diviseur de fréquence programmable numérique à consommation ultra-faible a été conçu afin d'implémenter un synthétiseur de fréquences à diviseur entier N. Les bascules-D et les bistables de ce diviseur ont été soigneusement conçues de façon à minimiser leur consommation de puissance. Le synthétiseur résultant a été fabriqué en technologie CMOS 90-nm et opère dans la bande Industrielle, Scientifique et Médicale (ISM) de 902-928 MHz. Ce synthétiseur, basé sur une PLL, permet la sélection de 7 canaux de 3.4 MHz de bande passante dans la bande ISM et fournit les versions différentielles, I/Q des porteuses RF. La consommation totale mesurée du synthétiseur est de $640 \mu\text{W}$, soit environ un ordre de grandeur plus faible que celle des synthétiseurs d'architecture similaire récemment présentés dans la littérature.

ABSTRACT

Implantable biomedical microsystems present a huge potential for medical research. The recent possibility to use CMOS technology to integrate radio-frequency (RF) circuits, baseband signal processing, and even sensors on a same chip has led to a tremendous growth of interest in wireless sensors and their applications. Such microsystems typically include a microprocessor and memory, an energy source, one or more sensors, an analog-to-digital converter (ADC), and a RF transceiver to communicate with a remote base-station or processing unit. In the biomedical field, it is expected that implanting such wireless sensing microsystems could greatly help the medical research community in learning about the progression of some diseases and assess degree of response to treatment.

With a minimum feature size that has reduced under 100 nm, CMOS technology has become a viable choice for the implementation of low-power radio-frequency integrated circuits (RFIC) building blocks. However, the reduction of the supply voltage combined with the low output impedance of nanometer transistors have caused many analog and RF circuit solutions to be unsuitable, or even unusable due to voltage headroom constraints. Therefore, new circuit techniques and innovative design approaches are needed in order to meet the required performance level while maintaining low power consumption.

In a wireless communications system, the local oscillator (LO) is one of the most important building blocks since it generates the RF carrier signal upon which data is modulated for transmission. In a context where power consumption must be strictly minimized, the generation of a stable RF carrier using a nanometer CMOS process presents huge challenges. In this regard, this thesis focuses on the design, the analysis and the implementation of low-voltage analog and RF circuits used to build an ultra-low power integer-N frequency synthesizer.

First, a new current mirror architecture dedicated to low-voltage, low-power applications is presented. The proposed current mirror offers a very high output resistance and an enhanced output voltage range in comparison with other current mirrors similar in architecture. Then, a novel charge pump dedicated to low-power low-voltage PLLs is proposed. The design of this circuit was motivated by the need of a nano-CMOS charge pump that would offer constant current magnitude and minimum current mismatch over a wide range of output voltage, while maintaining power consumption and complexity level as low as possible. A LC resonator-based voltage-controlled oscillator (LC-VCO) that implements a new technique to reduce the impact of process variation on phase noise and power consumption is presented. The LC-VCO uses a regulated supply voltage to set the bias current required for proper start-up of the oscillations. To mitigate the impact of process

variations, the output voltage of the regulator tracks process parameters at the location of the VCO on the die. In addition to ensuring proper start-up of the VCO, the proposed implementation has improved immunity to variations in phase noise and supply current under different process corners, and hence avoids worst-case design. The optimization process and design of the integrated inductor used in the LC-VCO are presented as well.

An ultra-low power digital programmable frequency divider was designed in order to implement an integer-N frequency synthesizer. The flip-flops and latches of this divider were carefully designed and laid out in order to minimize their power consumption. Fabricated in a 90-nm CMOS process from STMicroelectronics, the frequency synthesizer operates in the 902-928 MHz Industrial, Scientific and Medical (ISM) band. It allows the selection of 7 channels 3.4 MHz wide in the ISM band and provides the differential, I/Q versions of the RF carrier. The total measured power consumption of the frequency synthesizer is $640\ \mu\text{W}$, about an order of magnitude lower than that of other synthesizers with a similar architecture recently presented in the literature.

TABLE DES MATIÈRES

REMERCIEMENTS	iii
RÉSUMÉ	iv
ABSTRACT	vi
TABLE DES MATIÈRES	viii
LISTE DES FIGURES	xi
LISTE DES ACRONYMES ET DES SYMBOLES	xiv
LISTE DES TABLEAUX	xvi
LISTE DES ANNEXES	xvii
CHAPITRE 1 INTRODUCTION	1
1.1 Les microsystèmes implantables pour la recherche médicale	1
1.2 Liens RF à faible consommation de puissance pour les microsystèmes implantables	3
1.2.1 Communications sans fil aux fréquences UHF	3
1.2.2 Génération des fréquences porteuses RF	4
1.2.3 Transmetteurs/récepteurs existants	6
1.3 Procédés CMOS nanométriques : opportunités et défis	7
1.4 Objectifs de la recherche	8
1.5 Contributions originales découlant de cette thèse	9
1.6 Organisation de la thèse	10
CHAPITRE 2 SYNTHÈSE DE FRÉQUENCE : LA BOUCLE À VERROUILLAGE DE PHASE	12
2.1 Rôle de l'oscillateur local (LO) dans un transmetteur/récepteur	12
2.2 La boucle à verrouillage de phase pour la synthèse de fréquences	13
2.3 Synthétiseur de fréquences à pompe de charges	15
2.3.1 Oscillateur contrôlé par tension (VCO)	16
2.3.2 Diviseur de fréquence programmable	17
2.3.3 Détecteur de phase/fréquence et pompe de charges	18
2.3.4 Filtre de boucle	20

2.4	Modèle linéaire	21
2.4.1	Gain en boucle ouverte et marge de phase	22
2.4.2	Temps de stabilisation et de démarrage	24
2.5	Critères de performance des synthétiseurs	25
2.5.1	Plage de syntonisation, résolution fréquentielle et précision	25
2.5.2	Bruit de phase et <i>spurs</i>	26
2.6	Modèle mathématique du bruit de phase	29
2.7	Survol des synthétiseurs récemment présentés dans la littérature	30
2.8	Synthétiseur de fréquences proposé pour les microsystèmes implantables	31
2.8.1	Spécifications du synthétiseur de fréquences	32
2.8.2	Conception du synthétiseur de fréquences	33
CHAPITRE 3	NOUVEAU MIROIR DE COURANT CMOS OPÉRANT À BASSE TEN- SION D’ALIMENTATION	36
3.1	Miroirs de courant à haute impédance de sortie opérant à bas voltage	37
3.2	Le degré de saturation d’un transistor	39
3.2.1	Circuit de polarisation cascode	40
3.3	Architecture et opération du miroir de courant proposé	41
3.3.1	Résistance de sortie incrémentale à basse fréquence	42
3.3.2	Plage dynamique de sortie	45
3.3.3	Choix du facteur d’échelle K des sources de courant auxiliaires I_{IN}/K	46
3.4	Illustration des performances du nouveau miroir de courant	46
3.5	Conclusion	48
CHAPITRE 4	PFD ET NOUVELLE POMPE DE CHARGES CMOS	50
4.1	Détecteur de phase et de fréquence (PFD) et pompe de charges (CP)	50
4.1.1	Pompes de charges proposées dans la littérature	53
4.2	Nouvelle pompe de charges CMOS	55
4.3	Fonctionnement de la pompe de charges proposée	56
4.4	Caractéristiques de la pompe de charges	61
4.4.1	Résistance de sortie	61
4.4.2	Sources de courant auxiliaires I_{CP}/K	61
4.5	Implémentation détaillée et résultats	62
4.6	Conclusion	66
CHAPITRE 5	NOUVEAU LC-VCO CONTRÔLÉ PAR TENSION TOLÉRANT AUX VARIATIONS DE PROCÉDÉ	68

5.1	Oscillateurs contrôlés par tension avec résonateur LC	69
5.2	Impact de la variabilité	69
5.3	Solutions existantes pour mitiger l'impact de la variabilité sur un LC-VCO	71
5.4	Nouveau LC-VCO tolérant aux variations de procédé	72
5.4.1	Architecture du LC-VCO proposé	72
5.4.2	Génération de la tension de référence V_{REF}	74
5.5	Conception des composants passifs du synthétiseur	76
5.5.1	Inductance intégrée	76
5.5.2	Varactors	80
5.6	Implémentation en technologie CMOS 90-nm et résultats	81
5.6.1	Conception du VCO	81
5.6.2	Caractérisation de l'inductance	83
5.6.3	Impact de la tension de polarisation adaptative du VCO	85
5.7	Conclusion	88
CHAPITRE 6	IMPLÉMENTATION DU SYNTHÉTISEUR DE FRÉQUENCES : DIVISEUR PROGRAMMABLE ET RÉSULTATS DE MESURE	90
6.1	Diviseur de fréquence programmable	90
6.1.1	Diviseur par 2 pour la génération des signaux I/Q	91
6.1.2	Diviseur de fréquence programmable	93
6.1.2.1	Circuit de mise à l'échelle à double module et $\div 32$ fixe	95
6.1.2.2	Compteur à rebours programmable	95
6.1.2.3	Conception des bascules-D	97
6.2	Résultats de simulation et de mesure du synthétiseur de fréquences	99
6.2.1	Détails d'implémentation	99
6.2.2	Circuit imprimé de validation et équipement de test	101
6.2.3	Temps de démarrage et bruit de phase	102
6.2.4	Améliorations potentielles	104
CHAPITRE 7	CONCLUSION	107
7.1	Synthèse des travaux	107
7.2	Travaux futurs	108
PUBLICATIONS RELATIVES À CETTE THÈSE		109
RÉFÉRENCES		111
ANNEXES		119

LISTE DES FIGURES

FIGURE 1.1	Microsystème sans fil implantable pour la surveillance de paramètres biologiques.	2
FIGURE 2.1	Structure générique d'un transmetteur/récepteur RF.	12
FIGURE 2.2	Diagramme bloc d'une boucle à verrouillage de phase.	13
FIGURE 2.3	Diagramme bloc d'un synthétiseur de fréquences.	14
FIGURE 2.4	Diagramme bloc d'un synthétiseur de fréquences utilisant une pompe de charges.	15
FIGURE 2.5	Modèle d'un oscillateur à résonateur LC dans le régime permanent. . . .	16
FIGURE 2.6	Diagramme bloc du diviseur de fréquence programmable.	17
FIGURE 2.7	Détecteur de phase/fréquence.	18
FIGURE 2.8	Pompe de charges et son diagramme temporel.	19
FIGURE 2.9	Filtre de boucle du synthétiseur de fréquences.	20
FIGURE 2.10	Modèle linéarisé d'un synthétiseur de fréquences.	21
FIGURE 2.11	Diagramme de Bode du gain en boucle ouverte du synthétiseur de fréquences. .	23
FIGURE 2.12	Temps de stabilisation d'un synthétiseur de fréquences.	24
FIGURE 2.13	Bruit de phase d'un oscillateur.	26
FIGURE 2.14	Bruit de phase et modulations parasites (<i>spurs</i>) dans un oscillateur. . . .	27
FIGURE 2.15	Abaissement de fréquence réciproque causé par le bruit de phase dans un oscillateur.	28
FIGURE 2.16	Architecture du synthétiseur proposé.	32
FIGURE 3.1	Courant à la sortie d'un miroir de courant simple NMOS.	36
FIGURE 3.2	Miroir de courant avec tension de drain fixée à l'aide d'un ampli-op. . . .	37
FIGURE 3.3	Miroir de courant entièrement cascode et miroir de courant high swing super-Wilson.	38
FIGURE 3.4	Composantes avant I_F et inverse I_R du courant de drain d'un MOSFET. .	39
FIGURE 3.5	Circuit de polarisation cascode à bas voltage.	40
FIGURE 3.6	Construction du nouveau miroir de courant à haute impédance de sortie. .	41
FIGURE 3.7	Miroir de courant proposé.	42
FIGURE 3.8	Circuit utilisé pour le calcul de la résistance de sortie du miroir de courant. .	43
FIGURE 3.9	Calcul du gain à basse fréquence de l'étage auto cascode.	44
FIGURE 3.10	Variation du courant de sortie du miroir de courant proposé.	47
FIGURE 3.11	Résistance de sortie du miroir de courant proposé.	47
FIGURE 3.12	Comparaison des performances du miroir de courant proposé.	48
FIGURE 4.1	Détecteur de phase/fréquence (PFD) et pompe de charges (CP).	51

FIGURE 4.2	Élimination de la zone morte d'un PFD.	52
FIGURE 4.3	Utilisation d'un amplificateur opérationnel pour l'appariement des courants.	54
FIGURE 4.4	Pompe de charges à renforcement de gain.	55
FIGURE 4.5	Schéma électronique de la pompe de charges CMOS proposée.	56
FIGURE 4.6	Courants dans la pompe de charges dans l'état actif.	57
FIGURE 4.7	Circuit générant la tension de polarisation cascode.	58
FIGURE 4.8	Courants dans la pompe de charges lorsqu'elle est désactivée.	60
FIGURE 4.9	Courant mesuré à la sortie de la pompe de charges en fonction de V_{OUT}	63
FIGURE 4.10	Réponse transitoire de la pompe de charges.	64
FIGURE 4.11	Simulation Monte Carlo de la pompe de charges.	65
FIGURE 5.1	LC-VCO utilisant une source de courant de queue pour fixer le courant de polarisation.	70
FIGURE 5.2	VCO tolérant aux variations de procédé grâce à une polarisation adaptative du substrat.	71
FIGURE 5.3	VCO avec circuit de contrôle automatique de l'amplitude.	72
FIGURE 5.4	Diagramme bloc du LC-VCO proposé.	73
FIGURE 5.5	Schéma du LC-VCO proposé avec circuit de génération de V_{REF}	74
FIGURE 5.6	Circuit équivalent en DC du LC-VCO proposé.	75
FIGURE 5.7	Inductance octogonale intégrée.	77
FIGURE 5.8	Étapes de conception de l'inductance intégrée.	78
FIGURE 5.9	Modèle discret équivalent de l'inductance octogonale.	79
FIGURE 5.10	Vue en coupe d'un varactor à diode intégrée	81
FIGURE 5.11	Banc d'essai de l'inductance octogonale.	83
FIGURE 5.12	Caractérisation de l'inductance intégrée : simulations et résultats de mesure.	84
FIGURE 5.13	Plage de syntonisation simulée et mesurée du LC-VCO.	85
FIGURE 5.14	Performance en terme de bruit de phase du nouveau LC-VCO proposé.	87
FIGURE 6.1	Place du diviseur programmable dans le synthétiseur proposé.	91
FIGURE 6.2	Diagramme bloc et schéma électronique du diviseur par $2 I/Q$	92
FIGURE 6.3	Diagramme bloc du diviseur de fréquence programmable.	94
FIGURE 6.4	Circuit de mise à l'échelle à double module $\div 8/9$	94
FIGURE 6.5	Diviseur par 32 asynchrone.	95
FIGURE 6.6	Compteur à rebours programmable à 5-bit.	96
FIGURE 6.7	Bascule-D TSPC (DFF1).	98
FIGURE 6.8	Bascule-D TSPC optimisée pour opérer à basses fréquences (DFF2).	99
FIGURE 6.9	Microphotographie du circuit intégré du synthétiseur de fréquences.	100
FIGURE 6.10	Tension V_{CTRL} du synthétiseur suite à un saut de fréquence de 10 MHz.	103

FIGURE 6.11	Signaux à l'entrée du PFD lorsque le synthétiseur est verouillé.	103
FIGURE 6.12	Bruit de phase simulé et mesuré du synthétiseur.	104
FIGURE I.1	Architecture proposée du transmetteur/récepteur RF implantable.	123
FIGURE II.1	Efficacité de transconductance g_m/I_D en fonction du coefficient d'inversion IC	128
FIGURE III.1	Modèle électrique équivalent d'un résonateur SAW.	131
FIGURE III.2	Impédance différentielle du résonateur SAW.	132
FIGURE III.3	Calcul du gain de boucle de l'amplificateur utilisé dans l'oscillateur de type Pierce.	133
FIGURE III.4	Valeur absolue et phase du gain de boucle de l'oscillateur SAW.	135
FIGURE IV.1	Circuit imprimé de validation du synthétiseur de fréquences.	136
FIGURE IV.2	Schéma électrique du circuit imprimé de validation.	137

LISTE DES ACRONYMES ET DES SYMBOLES

Acronymes

ASK	Amplitude Shift Keying
BAW	Bulk Acoustic Wave
BER	Bit Error Rate
BSN	Body Sensor Networks
CAN	Convertisseur Analogique à Numérique
CML	Current Mode Logic
CMOS	Complementary Metal-Oxide Semiconductor
CNA	Convertisseur Numérique à Analogique
CP	Pompe de charges
DC	Courant continu
DECT	Digital Enhanced Cordless Telecommunications
DIBL	Drain Induced Barrier Lowering
EEG	Electro-encéphalogramme
FBAR	Film Bulk Acoustic Resonator
FM	Modulation de fréquence
FSK	Frequency Shift Keying
GMSK	Gaussian Minimum Shift Keying
GSM	Global System for Mobile communications
ICL	Inductive Coupled Link
IFP	Interstitial Fluid Pressure
ISM	Industrielle, Scientifique et Médicale (Bande de fréquences)
I/Q	Composantes en phase et en quadrature
LSK	Load Shift Keying
LO	Oscillateur Local
MEMS	Micro-electromechanical Systems
MHz	Mégahertz
MICS	Medical Implant Communication System
MOS	Metal Oxide Semiconductor
MSK	Minimum Shift Keying
OOK	On-Off Keying
PC	Personal computer
PFD	Détecteur de Phase-Fréquence

PLL	Phase-Locked Loop
ppm	Parties par Million
PSK	Phase Shift Keying
RF	Radiofréquence
RFIC	Circuit Intégré Radiofréquence
RMS	Root Mean Squared
RX	Récepteur
SAW	Surface Acoustic Wave
SNR	Rapport signal à bruit
TX	Transmetteur
UHF	Ultra-High Frequency
VCO	Oscillateur Contrôlé par Voltage

Symboles

$\Delta\Sigma$	Delta-Sigma
ϵ_0	Permittivité du vide
ϵ_r	Permittivité relative
f	Fréquence (Hz)
g_m	Transconductance d'un transistor MOS
K_{PFD}	Gain de la combinaison PFD/CP
K_{VCO}	Gain du VCO
λ	Longueur d'onde
I_D	Courant de drain d'un transistor MOS
μ_r	Perméabilité magnétique relative
μ_0	Perméabilité magnétique du vide
PM	Marge de phase
Q	Facteur de qualité
$S_\nu(\omega)$	Densité spectrale de puissance du signal de tension
$S_\theta(\omega)$	Densité spectrale de puissance du signal de phase
ω	Fréquence angulaire
ω_{-3dB}	Fréquence de -3 dB en boucle fermée

LISTE DES TABLEAUX

TABLEAU 2.1	Résumé des spécifications requises du synthétiseur de fréquences proposé.	33
TABLEAU 2.2	Choix de conception du synthétiseur de fréquences.	34
TABLEAU 4.1	Performances de la pompe de charges proposée.	66
TABLEAU 5.1	Valeurs des composants du modèle équivalent de l'inductance.	80
TABLEAU 5.2	Résultats des analyses Monte Carlo pour les deux implémentations de LC-VCO.	88
TABLEAU 5.3	Comparaison des performances du LC-VCO tolérant aux variations de procédé proposé avec celles de LC-VCOs publiés récemment.	89
TABLEAU 6.1	Définition des ports d'entrées et sorties du circuit intégré.	101
TABLEAU 6.2	Résumé des performances du synthétiseur de fréquences.	105
TABLEAU 6.3	Comparaison de la puissance consommée par le synthétiseur proposé avec celle des synthétiseurs d'architecture similaire récemment présentés dans la littérature.	106
TABLEAU I.1	Budget de puissance du lien RF proposé.	121

LISTE DES ANNEXES

ANNEXE I	ANALYSE SYSTÈME	119
I.1	Bande de fréquence et méthode de modulation	119
I.1.1	Bande de fréquence visée	119
I.1.2	Méthode de modulation	120
I.2	Budget de puissance proposé pour le lien RF	120
I.2.1	Rapport signal à bruit requis au récepteur	122
I.3	Architecture de transmetteur/récepteur RF proposée	122
I.3.1	Performances requises	122
I.3.2	Figure de bruit	123
I.3.3	Linéarité du récepteur	124
I.3.4	Plage dynamique du récepteur	124
I.3.5	Bruit de phase	125
ANNEXE II	MÉTHODOLOGIE DE CONCEPTION DE CIRCUITS ANALOGIQUES ET RF À FAIBLE CONSOMMATION	126
II.1	Méthodologie g_m/I_D	127
II.1.1	Reformulation des différents paramètres de conception	129
II.1.2	Étapes de conception pour les circuits RF faible consommation	130
ANNEXE III	POINT D'OPÉRATION OPTIMAL D'UN RÉSONATEUR SAW DANS UN OSCILLATEUR DE TYPE PIERCE	131
III.1	Conception d'un oscillateur de type Pierce basé sur un résonateur SAW	131
III.2	Résultats et conclusions	134
ANNEXE IV	CIRCUIT IMPRIMÉ POUR LA CARACTÉRISATION DU SYNTHÉTI- SEUR	136
ANNEXE V	MODÈLES VERILOG-A DES MODULES DU SYNTHÉTISEUR DE FRÉ- QUENCES	138

CHAPITRE 1

INTRODUCTION

La possibilité d'utiliser la technologie CMOS pour intégrer des circuits analogiques et radiofréquences (RF), des modules de traitement de signal numériques, et même certains types de capteurs sur une même puce suscite depuis quelques années un vif intérêt dans le domaine des réseaux de capteurs et leurs applications [1]. Les noeuds de ces réseaux de capteurs intègrent généralement une source d'énergie, un microcontrôleur et de la mémoire, un convertisseur analogique-à-numérique (CAN), un ou plusieurs capteurs, ainsi qu'un transmetteur/récepteur sans fil afin de communiquer avec une station de traitement distante [2, 3]. Dans le domaine du génie biomédical, ces micro-systèmes sans fil présentent un énorme potentiel pour la recherche médicale où leur implantation potentielle dans le corps humain ouvre la voie à des applications fascinantes. D'ailleurs, des progrès impressionnants ont été accomplis dans l'utilisation conjointe de la technologie CMOS et des MEMS (*Microelectromechanical Systems*) pour la réalisation de biocapteurs intégrés [4]. En effet, les techniques de microfabrication récentes rendent possible la conception de biocapteurs de taille minimale présentant un potentiel certain pour la surveillance *in vivo* de paramètres biologiques tels que la température [5], la pression [6], le pH [7], les concentrations d'oxygène [8] et d'oxyde d'azote [9], pour ne nommer que ceux-ci.

1.1 Les microsystemes implantables pour la recherche médicale

La recherche sur l'arthrite et le cancer, qui font partie de la grande famille des maladies auto-immunes, bénéficierait grandement de la surveillance *in vivo* en temps réel de divers paramètres biologiques à l'aide d'un microsysteme de capteurs implanté dans le corps, tel qu'illustré à la figure 1.1. La surveillance de ces paramètres au niveau de l'articulation ou même de l'intérieur d'une tumeur pourrait grandement contribuer à la compréhension de ces maladies et à l'évaluation du niveau de réponse à un traitement [10]. Parmi les paramètres d'intérêt pour la recherche médicale, mentionnons la concentration d'oxyde d'azote (NO), qui est reconnu pour jouer un rôle clé dans les fonctions physiologiques et pathologiques reliées à la réponse immunitaire des maladies inflammatoires telles que le cancer et l'arthrite rhumatoïde [11, 12]. De même, une meilleure évaluation du taux d'oxygénation dans une tumeur pourrait mener à la découverte de marqueurs aidant au diagnostic de la maladie, et pour l'élaboration de nouvelles méthodes de thérapie [13]. Un autre paramètre dont la mesure *in vivo* serait d'intérêt est la température, car cela permettrait d'identifier

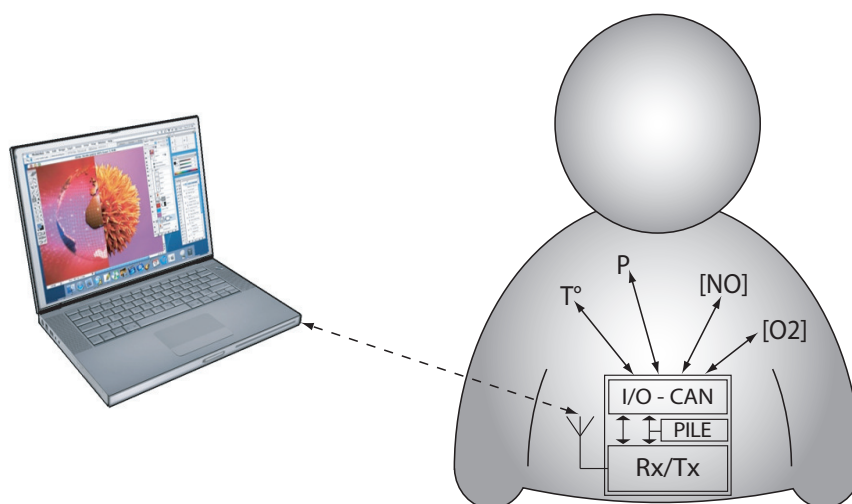


FIGURE 1.1 Microsystème sans fil implantable pour la surveillance de paramètres biologiques.

des changements localisés associés à l'inflammation d'une articulation ou d'une tumeur. De même, la mesure du pH permettrait d'identifier la présence de conditions pathologiques associées à un niveau de pH anormal, et la mesure du gradient de pH extra-cellulaire dans une tumeur aiderait à évaluer l'efficacité d'un médicament et l'évolution de la maladie [14]. La mesure de la pression serait également souhaitable car la présence d'une tumeur entraîne une augmentation anormale de la pression du fluide interstitiel (*Interstitial Fluid Pressure - IFP*), qui serait une barrière au transport de macromolécules de grande taille telles que les agents thérapeutiques utilisés lors des traitements [15]. Enfin, il a été démontré que les changements des propriétés des tissus affectés par une tumeur modifient leur impédance électrique. Ceci, encore une fois, pourrait résulter en un outil utile pour la surveillance de l'évolution de la maladie ou l'impact d'une médication [16].

La recherche sur l'épilepsie pourrait également profiter de ces microsystèmes sans-fil implantables, car ceux-ci pourraient permettre la détection, voire même la prévention du déclenchement d'une crise d'épilepsie [17, 18]. Un ou plusieurs noeuds de capteurs implantés enregistreraient l'EEG intracrânien en utilisant des sondes neuronales à titre de capteurs, et les données seraient recueillies par un système portable externe dans lequel serait implémenté un algorithme de détection de crise. Lorsqu'une crise serait sur le point de se déclencher, le ou les implants recevraient l'alerte et appliqueraient un traitement local approprié ; que ce soit une stimulation électrique, du refroidissement local, ou l'administration d'un médicament [19]. Enfin, la possibilité de construire de tels microsystèmes sans fil dédiés à la surveillance de paramètres biologiques serait un pas en avant vers l'implémentation de réseaux de capteurs implantables pour les soins de santé à domicile, comme par exemple les *Body Sensor Networks*, ou BSN [20]. Lorsque la technologie des capteurs utilisés pour la mesure de paramètres biologiques sera mature et que des systèmes de communication sans

fil à consommation ultra faible seront disponibles, il est raisonnable de croire que les BSN auront un impact considérable sur les services de soins de santé en général. Par exemple, les BSN pourront être utilisés pour effectuer le suivi post chirurgical ainsi que la prévention de maladies chez les patients à risque [21]. Toutefois, l'implémentation de tels réseaux de capteurs sans fil implantables présente des défis techniques énormes, que ce soit en termes d'autonomie énergétique, de niveau d'intégration, de fiabilité, ou encore de bio-compatibilité. Des multiples difficultés posées par un projet de cette envergure, celles reliées à l'implémentation d'un lien de communication sans fil à consommation ultra faible sont abordées dans le cadre de cette thèse, et des pistes de solutions sont présentées.

1.2 Liens RF à faible consommation de puissance pour les microsystèmes implantables

L'utilisation de câbles transcutanés entre le microsystème implanté et la station de traitement externe augmente significativement les risques d'infection en plus d'être encombrante pour le patient. L'utilisation d'un lien sans fil pour la transmission des données est donc fortement désirable. Toutefois, mesurer les paramètres biologiques *in situ* et transmettre les données à l'aide d'un lien sans fil présentent d'énormes défis techniques en termes d'intégration et de consommation d'énergie. Une solution qui est actuellement utilisée consiste à utiliser un lien inductif couplé (*Inductive Coupled Link - ICL*) entre le dispositif implanté et la station de traitement externe. Ce type de lien sans fil permet à la fois de fournir l'énergie à l'implant et d'établir un lien de communication bidirectionnel basé sur la modulation de charge (*Load Shift Keying - LSK*) [22]. Ces liens inductifs opèrent généralement dans la bande de fréquences Industrielle, Scientifique et Médicale (ISM) de 13.56 MHz. Ces systèmes sont robustes et fiables, mais la très courte portée du champ magnétique alternatif, combinée avec la quantité limitée de puissance disponible à l'implant, requiert souvent que le contrôleur soit placé directement au dessus de celui-ci, en contact direct avec la peau du patient [23].

1.2.1 Communications sans fil aux fréquences UHF

Dans le but de surmonter les limitations inhérentes à la courte portée d'opération des liens inductifs, tout en offrant l'opportunité d'utiliser des antennes beaucoup plus compactes et un taux transfert plus élevé, de plus en plus de systèmes implantables utilisent les bandes de fréquences UHF (*Ultra High Frequency*) MICS de 402-405 MHz, et les bandes ISM de 902-928 MHz et 2.4 GHz [24]. Typiquement, un lien RF destiné aux communications avec un microsystème implantable consiste en deux modules principaux : 1) une station de contrôle située à l'extérieur du corps du patient qui a

pour rôle de gérer les communications avec l'implant et de recevoir les données de celui-ci, et 2) un microsystème implantable qui effectue les mesures des paramètres biologiques et transmet celles-ci vers la base de traitement externe où elles seront éventuellement traitées et sauvegardées. Étant donné que le transfert d'énergie aux fréquences UHF est relativement inefficace, le microsystème implantable nécessite l'utilisation de piles miniatures, soit primaires ou rechargeables, et doit donc avoir une autonomie aussi prolongée que possible.

Dans les applications de réseaux de capteurs sans fil, ce sont les circuits RF qui déterminent la consommation de puissance totale du système et, par conséquent, la durée de vie des piles. Il est alors avantageux que le transmetteur/récepteur RF opère avec un facteur d'utilisation (*duty cycle*) minimal : c'est-à-dire que les paramètres biologiques d'intérêt soient mesurés et enregistrés à même le microsystème implanté, puis transmis vers la station externe par paquets et de façon sporadique. Le transmetteur/récepteur est alors désactivé la majorité du temps, et est activé lorsque des paquets de données doivent être transmis. Un débit de données de l'ordre de 100 kb/s est considéré comme étant optimal afin de diminuer la consommation de puissance en transmettant les données par paquets et donc minimiser la durée où l'amplificateur de puissance est activé [25]. Ce taux de transmission de données est très avantageux en terme de consommation de puissance si l'on considère le compromis entre le débit de données et le facteur d'utilisation du transmetteur/récepteur. Un débit très élevé de l'ordre du Mb/s implique une largeur de bande élevée et une consommation de puissance augmentant de façon considérable durant la transmission des paquets de données afin de maintenir un SNR suffisant au démodulateur. À l'opposé, pour une quantité de données égale à transmettre, un débit de donnée très faible requiert que l'amplificateur de puissance et l'oscillateur local soient actifs pratiquement en permanence, résultant en une consommation de puissance significative.

1.2.2 Génération des fréquences porteuses RF

Le transmetteur/récepteur du microsystème implantable doit opérer à une fréquence *exactement* égale à celle de la station de traitement externe afin qu'un lien de communication puisse être établi. L'utilisation d'une fréquence porteuse RF précise est un prérequis fondamental des radios à bande étroite. Par exemple, l'utilisation d'un oscillateur à résonateur *LC* oscillant librement sans être stabilisé à une fréquence de référence résulterait assurément en un lien de communication RF mal syntonisé en considérant les variations de procédé et de fabrication. Le taux d'erreurs de transmission sur les données (BER) introduit serait inacceptable, en supposant que le système réussisse à établir une communication. Les approches existantes pour la génération d'une fréquence porteuse RF stable sont les suivantes :

1. La porteuse est générée directement en RF à l'aide d'un oscillateur basé sur un résonateur micromachiné tel qu'un résonateur SAW (*Surface Acoustic Wave*), un résonateur BAW (*Bulk Acoustic Wave*), ou encore un résonateur microélectromécanique MEMS.
2. Une fréquence porteuse précise et stable est générée à l'aide d'un synthétiseur de fréquences qui stabilise la sortie d'un oscillateur RF sur la fréquence d'un oscillateur à cristal de référence.

La première approche permet d'atteindre des niveaux de consommation de puissance extrêmement faible selon le type de résonateur utilisé. Par exemple, un oscillateur à 1.9 GHz basé sur un microrésonateur FBAR (*Film Bulk Acoustic Resonator*) offrant une consommation de puissance inférieure à $100\ \mu\text{W}$ a été présenté par des chercheurs de l'Université de Californie à Berkeley [26]. Toutefois, ce type d'oscillateur ne génère qu'une fréquence unique et précise, fixée par le résonateur dont le facteur de qualité Q est très élevé, et cette fréquence ne peut être modifiée que de quelques ppm. Ceci signifie que seules des méthodes de modulation de faible performance comme OOK et ASK peuvent être utilisées. De plus, la fréquence de résonance de ces microrésonateurs ne concorde pas avec les bandes de fréquences actuellement disponibles pour les implants biomédicaux.

Les résonateurs microélectromécaniques dont la fréquence de résonance concorde avec la bande ISM de 902-928 MHz sont de type SAW (*Surface Acoustic Wave*). Le facteur de qualité très élevé laisse croire, à tort, qu'ils peuvent être utilisés pour concevoir des oscillateurs à consommation de puissance ultra faible. Nous avons implémenté un oscillateur de type Pierce basé sur un résonateur SAW durant la phase exploratoire de cette recherche, et nous avons établi une relation permettant de déterminer le point d'opération optimal en terme de consommation de puissance [27]. Une version abrégée de cet article est présentée à l'annexe III. Nous avons trouvé que la composante inductive à la résonance des résonateurs SAW est relativement faible, ce qui nécessite l'utilisation de condensateurs de grande valeur dans un oscillateur typique de type Pierce ou Colpitts, ce qui a un impact négatif sur la consommation de puissance. Même lorsque les résonateurs SAW sont utilisés à leur point d'opération optimal en terme de consommation de puissance, le courant minimal que doivent fournir les transistors pour soutenir les oscillations est supérieur à $300\ \mu\text{A}$. En rappelant que l'utilisation de ce type de résonateur ne permet la génération que d'une seule fréquence et que celle-ci ne peut pas être modulée, cette solution s'avère peu attrayante.

La consommation de puissance d'un synthétiseur de fréquences est plus élevée étant donné le niveau de complexité supérieur, mais cette approche permet la génération de plusieurs fréquences différentes, ce qui risque de s'avérer une nécessité pour opérer dans une bande de fréquence très dense en utilisateurs telles que les bandes ISM. De plus, l'utilisation d'un synthétiseur de fréquences permet l'utilisation de méthodes de modulation de fréquence et de phase telles que FSK et QPSK qui sont nettement plus efficaces et robustes que la modulation d'amplitude, et qui per-

mettent aussi d'atteindre des débits de transmission largement supérieurs. Ainsi, il est raisonnable de supposer que la consommation de puissance *moyenne* d'un synthétiseur de fréquences utilisé dans un microsystème implantable dont le facteur d'utilisation de l'ordre de 1% pourrait même être inférieure à celle d'un oscillateur à résonateur FBAR devant opérer en permanence.

1.2.3 Transmetteurs/récepteurs existants

Les transmetteurs/récepteurs à basse consommation et à débit de données moyen destinés aux systèmes implantables et aux réseaux de capteurs requièrent des architectures qui diffèrent de celles retrouvées dans les systèmes haute performance destinés aux applications telles GSM et DECT. Malgré le fait que les domaines des microsystèmes implantables et des réseaux de capteurs en général soient relativement récents, un certain nombre d'architectures intéressantes de transmetteurs et de récepteurs RF à faible consommation ont été proposées. Dans le milieu académique, un transmetteur implantable sans-fil pour la transmission de signaux neuronaux a été présenté par des chercheurs de UCLA [19]. Leur système utilise un LC-VCO de 3.2 GHz modulé en fréquence de façon analogique à titre de transmetteur et un analyseur de spectre externe pour la réception et la démodulation des signaux FM. La portée de communication de leur système est de 1 m, et la consommation de puissance du système est d'environ 8 mW. Des chercheurs de l'université de l'Utah ont présenté un système d'enregistrement neuronal implantable qui utilise un transmetteur FM opérant à 433 MHz utilisant aussi un LC-VCO [17]. Le résonateur du LC-VCO utilise une inductance externe de 47 nH qui sert également d'antenne de transmission. Implémenté en technologie CMOS 0.5 μm , le transmetteur consomme un total de 465 μW .

Des chercheurs de l'Université de Californie à Berkeley ont présenté un transmetteur/récepteur FSK à faible fréquence intermédiaire (*Low IF*) à ultra faible consommation opérant à 900 MHz [28]. Le récepteur affiche une sensibilité de -94 dBm pour un débit de 20 kbps et une consommation de puissance de 1.2 mW. La puissance transmise est de 250 μW , pour une consommation de 1.3 mW en transmission. Dans la même institution, d'autres chercheurs ont présenté un transmetteur/récepteur à canal unique à consommation ultra faible basé sur l'architecture à super régénération [29]. Le transmetteur utilise la modulation OOK, et consiste en un oscillateur de type Pierce stabilisé à l'aide d'un résonateur BAW afin de générer une porteuse très stable directement en RF. Un amplificateur classe C permet de transmettre une puissance de 375 μW , pour une consommation de puissance en transmission de 1.6 mW. Le récepteur, basé sur l'architecture à super régénération, dissipe 400 μW sous une alimentation de 1 V, et offre une sensibilité de -100.5 dBm à un débit de 5 kbps.

Un transmetteur/récepteur commercial à consommation ultra faible développé pour les réseaux

de capteurs implantables a été présenté par la compagnie Toumaz Technology [30]. Ce système, opérant dans la bande ISM européenne de 870/900 MHz, utilise un modulateur et démodulateur I/Q GMSK, et utilise un synthétiseur de fréquences verouillé à un oscillateur à cristal externe. Le débit maximal est de 160 kbps, la sensibilité du récepteur est de -86 dBm, la puissance de sortie est de -10 dBm, et le transmetteur/récepteur consomme 9 mW. Enfin, un autre transmetteur/récepteur commercial opérant dans les bandes 402-405 MHz MICS et 433 MHz ISM est offert pour les applications médicales implantables [31]. Le module de communication utilise un canal de réveil nécessitant un courant ultra faible (250 nA) opérant à 2.45 GHz. Le synthétiseur de fréquences permet de sélectionner 10 canaux dans la bande 402-405 MHz et 2 canaux dans la bande 433 MHz. Conçu en technologie CMOS 0.18 μm , le transmetteur/récepteur permet un débit maximal de 800 kbps dans la bande ISM et une portée de 2 m, pour une consommation de courant inférieure à 5.5 mA sous une tension d'alimentation variant entre 2.1 V et 3.5 V.

1.3 Procédés CMOS nanométriques : opportunités et défis

Grâce à leur potentiel d'intégration sans égal et à la possibilité d'utiliser ces technologies pour réaliser des circuits consommant très peu d'énergie, les procédés CMOS nanométriques présentent maintenant une solution intéressante pour combiner les circuits analogiques, RF et numériques sur une même puce. La réduction d'échelle de la technologie CMOS résulte en une augmentation significative de la transconductance des transistors de même que des fréquences de transition supérieures à 100 GHz. Dans les noeuds technologiques antérieurs, les transistors utilisés dans les circuits RF devaient être polarisés en inversion forte afin d'obtenir une fréquence de transition f_t convenable avec, en conséquence, une efficacité de transconductance (g_m/I_D) faible [32]. L'intérêt d'utiliser un procédé CMOS nanométrique pour les applications RF à ultra faible consommation réside dans le fait que f_t et f_{MAX} sont si élevées que les transistors peuvent être opérés en inversion faible et modérée au delà de 1 GHz, et ce avec un gain raisonnable. Les transistors ont donc une efficacité de transconductance g_m/I_D largement supérieure, nécessitant un courant de drain plus faible pour obtenir un gain de transconductance donné, ce qui résulte en une diminution significative de la puissance consommée.

Toutefois, la réduction d'échelle des procédés CMOS digitaux est aussi accompagnée d'une réduction importante de l'impédance de sortie des transistors et du gain de tension intrinsèque. Ceci est principalement dû à l'effet des implants halo utilisés pour contrôler l'effet canal court (*short-channel effect*) et l'effet DIBL (*Drain-Induced Barrier Lowering*) [33]. Alors que les circuits CMOS numériques en sont très peu affectés, la réduction de l'impédance de sortie des transistors combinée avec la diminution de la tension d'alimentation a un impact majeur sur les performances

des circuits analogiques, et par conséquent sur leur conception. Une autre problématique provient de la variabilité des propriétés électriques des transistors nanométriques causées par les limitations physiques fondamentales telles que les pertes de dopants, leur fluctuation statistique sur les dispositifs de taille minimale, ainsi que les variations de l'épaisseur d'oxyde de grille [33]. En fait, les variations statistiques des procédés CMOS ont empiré à chaque nouveau noeud technologique, et sont devenues un défi majeur dans les noeuds technologiques nanométriques [34]. Un des objectifs de cette thèse sous-jacent à l'utilisation d'un procédé CMOS nanométrique est l'implémentation de nouvelles architectures de circuits CMOS nanométriques analogiques et RF permettant de mitiger les difficultés mentionnées précédemment.

1.4 Objectifs de la recherche

Les travaux de cette thèse portent sur la conception et l'implémentation de topologies de circuits pour la synthèse de fréquence compatibles avec une consommation de puissance inférieure au mW et une tension d'alimentation très faible. Un synthétiseur de fréquences à diviseur entier sera implémenté en utilisant un procédé CMOS nanométrique et une méthodologie de conception de circuits analogiques et RF développée spécialement pour les applications à basse consommation de puissance. De nouvelles architectures de composantes analogiques et RF telles que le VCO, l'inductance et le varactor intégrés, la pompe de charges et le diviseur de fréquence numérique seront étudiées. L'hypothèse de travail est que l'utilisation d'un procédé de fabrication CMOS nanométrique et l'application d'une méthodologie de conception dédiée aux circuits analogiques à consommation ultra faible permettra de réduire la consommation de puissance sous la barre de 1 mW. Nous profiterons de la fréquence de transition f_T très élevée des transistors nanométriques en opérant les transistors de tous les modules en inversion faible et modérée afin de minimiser la consommation de puissance, et ce de 0 Hz à 2 GHz.

Ce projet de recherche s'inscrit dans le cadre de la mise en oeuvre d'une plateforme RF micro puissance permettant d'établir un lien de communications sans fil entre un microsystème implantable et une station de traitement externe, tel qu'illustré à la figure 1.1. L'analyse au niveau système de la plateforme RF implantable est présentée à l'annexe I. Un survol des contraintes particulières qui doivent être prises en compte lors de la conception des modules RF est présenté, et les choix de conception tels que la fréquence de la porteuse, le débit de données et le type de modulation y sont discutés. Un budget de puissance du lien RF est présenté et l'architecture d'un transmetteur/récepteur RF à consommation ultra faible est proposée. Finalement, les différents critères de performances de ce récepteur/transmetteur sont calculés.

1.5 Contributions originales découlant de cette thèse

Les travaux de recherche effectués dans le cadre de cette thèse ont permis de générer de nouvelles architectures de circuits analogiques et RF afin de limiter la consommation de puissance tout en mitigeant les difficultés associées à la conception de circuits analogiques dans un procédé CMOS nanométrique. De façon spécifique, nous pouvons identifier les contributions originales suivantes :

1. Conception et simulation d'un oscillateur à consommation de puissance ultra-faible à l'aide d'un résonateur à onde acoustique de surface (SAW) en technologie CMOS 90-nm. La relation mathématique décrivant le point d'opération optimal en terme de consommation de puissance d'un tel résonateur basé sur sa réponse en fréquence a été développée. Ce travail a été présenté dans le cadre d'une conférence invitée à APPCAS 2006, intitulée "*Low Power SAW-Based Oscillator for an Implantable Multisensor Microsystem*" [27].
2. Un nouveau miroir de courant présentant une impédance de sortie très élevée destiné aux applications à faible tension d'alimentation a été conçu et fabriqué en technologie CMOS 90-nm. L'impédance de sortie du miroir de courant proposé est de l'ordre de $g_m^2 r_o^3$, soit d'un facteur $g_m r_o$ plus élevée que celle du miroir de courant super-Wilson, où g_m et r_o sont respectivement la transconductance et la résistance incrémentale drain-source d'un transistor MOS. Ce miroir de courant a été présenté dans le cadre d'une conférence invitée à APPCAS 2008, intitulée "*A Very-High Output Impedance Current Mirror for Very-Low Voltage Biomedical Analog Circuits*" [35].
3. Une nouvelle architecture de pompe de charges CMOS destinée aux PLL à faible tension et faible puissance a été proposée et implémentée en technologie CMOS 90-nm. La configuration de pompe de charges proposée résulte en un courant de sortie dont la magnitude est constante et le non-appariement entre le courant I_{UP} et I_{DOWN} est minimal, tout en minimisant la consommation de puissance et la complexité. Cette pompe de charges a été présentée dans un article intitulé "*A Very-High Output Impedance Charge Pump for Low-Voltage Low-Power PLLs*" dans la revue Microelectronics Journal [36].
4. Un oscillateur contrôlé par tension avec résonateur LC (LC-VCO) minimisant l'impact des variations de procédé sur la consommation de puissance et le bruit de phase a été conçu et implémenté en technologie CMOS 90-nm. L'approche utilisée consiste à alimenter le coeur du VCO à l'aide d'un régulateur de tension dont la valeur de la référence dépend des paramètres du procédé à l'endroit sur le circuit intégré où est situé le VCO. Cette nouvelle technique permettant de réduire l'impact des variations de procédé sur un LC-VCO a été présentée dans le cadre d'une conférence invitée à ICSICT 2008, intitulée "*Process Variation Tolerant LC-VCO Dedicated to Ultra-Low Power Biomedical RF Circuits*" [37].

5. Implémentation et validation expérimentale d'un synthétiseur de fréquences à diviseur entier à consommation de puissance ultra faible opérant dans la bande ISM de 902-928 MHz. Il permet la syntonisation de 7 canaux de 3.4 MHz de largeur, fournit les versions différentielles I/Q de la porteuse et offre un temps de démarrage de l'ordre de 10 μ s. Un prototype a été fabriqué à l'aide du procédé digital CMOS 90-nm 7M2T de STMicroelectronics. La consommation de puissance totale mesurée du synthétiseur, en excluant les tampons de sortie de test, est de 640 μ W ; environ un ordre de grandeur inférieure à celle de synthétiseurs d'architecture similaire récemment présentés dans la littérature.

Les résultats préliminaires de ces travaux ont été présentés dans le cadre d'une conférence invitée à ISSCS 2007, intitulée "*A Fully-Integrated 580 μ W ISM-Band Frequency Synthesizer for Implantable Medical Devices*" [38], puis dans un article invité intitulé "*An Ultra-Low Power ISM-Band Integer-N Frequency Synthesizer Dedicated to Implantable Medical Microsystems*" dans la revue Analog Integrated Circuits and Signal Processing [39]. Enfin, les résultats expérimentaux de la version finale du synthétiseur de fréquences à consommation ultra faible ont été présentés dans le cadre d'une conférence invitée à NEWCAS 2010, intitulée "*A 640 μ W Frequency Synthesizer Dedicated to Implantable Medical Microsystems in 90-nm CMOS*" [40].

1.6 Organisation de la thèse

Un synthétiseur de fréquences est composé de plusieurs modules distincts tels le VCO, la pompe de charges, le diviseur de fréquence, etc. Chacun de ces modules nécessite une attention particulière lors de la conception et fait appel à des domaines de spécialisation variés, allant de la microélectronique analogique aux circuits numériques à haute vitesse, en passant par les circuits intégrés radiofréquences (RFIC). Pour cette raison et par souci de clarté, chacun des chapitres de cette thèse regroupe un ou des modules du synthétiseur selon leur rôle, et un survol de la littérature associée à ce ou ces modules spécifiques y est présenté.

D'abord, les notions fondamentales relatives à la synthèse de fréquence, les solutions existantes, ainsi que l'architecture du synthétiseur implémenté dans le cadre de cette thèse sont présentées au chapitre 2. Les critères de performance des synthétiseurs y sont discutés et la méthode de conception du filtre de boucle d'une PLL est présentée. Le chapitre 3 présente l'architecture d'un nouveau miroir de courant à impédance de sortie très élevée qui a été utilisé dans différents circuits analogiques du synthétiseur de fréquences. Ce miroir de courant a dû être développé afin de surmonter les difficultés causées par la faible résistance de sortie des transistors nanométriques et la basse tension d'alimentation de 1 V imposée par le procédé CMOS 90 nm. Le détecteur de phase/fréquence

ainsi qu'une nouvelle architecture de pompe de charges CMOS sont présentés au chapitre 4. La structure de cette pompe de charges est inspirée du miroir de courant présenté au chapitre 3 et offre une plage dynamique à la sortie qui couvre environ 80% de la tension d'alimentation, et ce avec un excellent appariement des courants de contrôle. De plus, le niveau d'impulsions de courant parasites (*glitches*) à la sortie de la pompe de charges est maintenu à un minimum grâce à un système de commutateurs qui maintient la tension de grille des transistors de sortie à une valeur constante.

Les chapitres suivants concernent les sections du synthétiseur opérant à très haute fréquence. Le chapitre 5 décrit une nouvelle configuration d'oscillateur contrôlé par voltage à résonateur LC (LC-VCO) qui, grâce à une tension d'alimentation adaptative, permet de réduire la sensibilité aux variations de procédés du bruit de phase et de la consommation de courant. La conception et l'optimisation de l'inductance intégrée et des varactors est également abordée. Le chapitre 6 discute de la conception des circuits numériques à faible consommation de puissance du synthétiseur. Plus précisément, la conception du diviseur par 2 avec sorties différentielles I/Q , du diviseur de fréquence programmable ainsi que des bascules D à faible consommation de puissance y est traitée. Les résultats de mesure du synthétiseur de fréquences y sont également présentés. Enfin, la conclusion présente un retour sur le travail qui a été accompli et des recommandations sont émises quant aux travaux futurs ainsi qu'aux avenues potentielles de recherche.

CHAPITRE 2

SYNTHÈSE DE FRÉQUENCE : LA BOUCLE À VERROUILLAGE DE PHASE

Ce chapitre présente les concepts fondamentaux, les principes de fonctionnement, ainsi que les critères de performance relatifs aux synthétiseurs de fréquence RF pour les systèmes de communication. Un survol des synthétiseurs de fréquences existants dans la littérature sera présenté, et l'architecture du synthétiseur conçu dans le cadre de cette thèse sera discutée.

2.1 Rôle de l'oscillateur local (LO) dans un transmetteur/récepteur

La structure de base d'un transmetteur/récepteur RF est montrée à la figure 2.1. Dans la branche transmission (TX), une conversion-élévation en fréquence (*upconversion*) est effectuée afin de déplacer le signal de la bande de base vers les fréquences RF et ainsi permettre une propagation efficace du signal dans l'air. Dans la branche de réception (RX), l'opération inverse est effectuée : le signal RF modulé est ramené en bande de base suite à un abaissement de fréquence (*down-conversion*). Dans les deux cas, l'opération de base consiste à multiplier les signaux par des sinusoïdes de haute fréquence fournies par l'oscillateur local (LO). L'oscillateur local est un élément clé dans l'opération du transmetteur/récepteur : les sinusoïdes utilisées pour la conversion-élévation et l'abaissement de fréquence doivent avoir une excellente pureté spectrale et être très stable en fréquence afin de préserver la qualité des signaux transmis et reçus. L'oscillateur local doit également être en mesure de changer de fréquence afin de sélectionner différents canaux de communication.

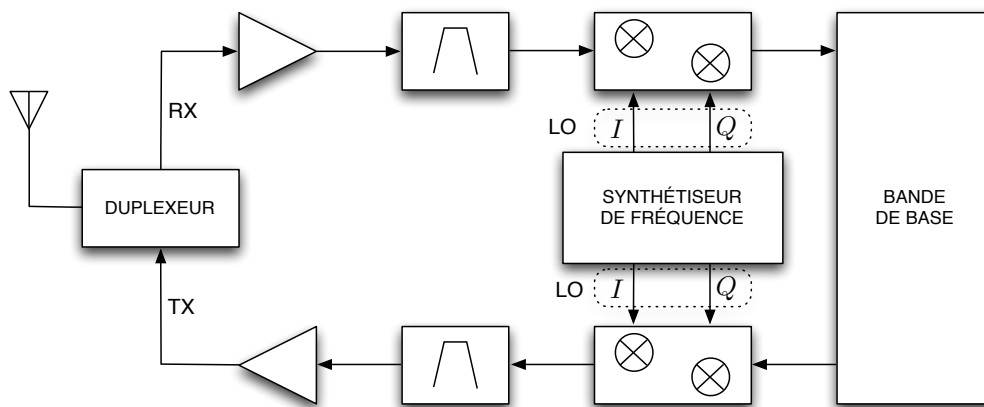


FIGURE 2.1 Structure générique d'un transmetteur/récepteur RF.

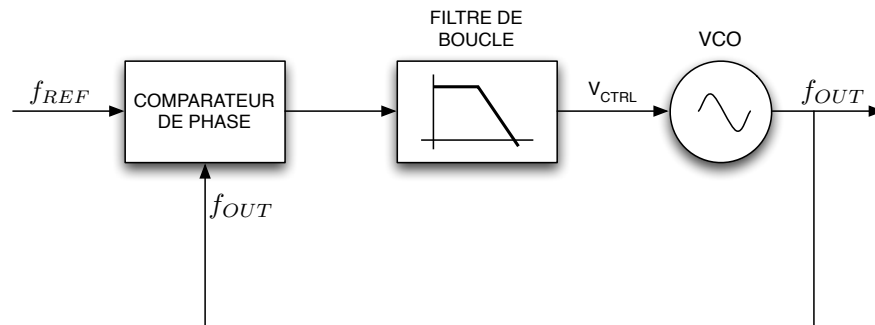


FIGURE 2.2 Diagramme bloc d'une boucle à verrouillage de phase.

L'utilisation d'un oscillateur contrôlé par tension (VCO) seul pour la génération des fréquences requises par le LO du transmetteur/récepteur n'est pas une solution envisageable, bien que très attrayante du point de vue de la complexité et de la consommation de puissance. Ceci s'explique parce que la précision requise des fréquences générées par l'oscillateur local est très sévère, ce qui est hors de question compte tenu des tolérances typiquement associées aux composants passifs intégrés. En effet, deux exemplaires du même VCO nécessiteraient deux tensions de contrôle V_{CTRL} différentes pour produire la même fréquence. Aussi, la stabilité en fréquence d'un VCO en oscillation libre (*free running*) est très mauvaise. Elle est affectée à court terme par le bruit de phase, et à long terme par les variations de température, le vieillissement, les changements de conditions de polarisation, etc.

2.2 La boucle à verrouillage de phase pour la synthèse de fréquences

Pour pallier à ces difficultés, le VCO peut être imbriqué dans une boucle de rétroaction visant à asservir la phase instantanée de son signal de sortie à celle d'un signal de référence très pur. Cette configuration, appelée boucle à verrouillage de phase (*Phase-Locked Loop - PLL*), est illustrée à la figure 2.2. Elle permet de stabiliser la fréquence d'oscillation du VCO à une valeur *précise*, souvent déterminée par un oscillateur à cristal externe de basse fréquence f_{REF} d'une grande pureté spectrale. Le principe général de fonctionnement est le suivant : le comparateur de phase compare la phase du signal de référence f_{REF} avec celle du signal à la sortie de la boucle, f_{OUT} , qui est égale à f_{VCO} . La sortie du comparateur de phase est une mesure du déphasage entre les deux signaux, et représente le signal d'erreur dans la boucle. Idéalement, l'effet de la rétroaction maintient les deux signaux f_{REF} et f_{OUT} à une différence de phase constante (0 ou $\pi/2$, selon l'implémentation du détecteur de phase). Puisque la boucle de rétroaction maintient une cohérence de phase entre ces deux signaux, ils oscillent donc à la même fréquence : f_{OUT} est donc *verrouillée* à f_{REF} .

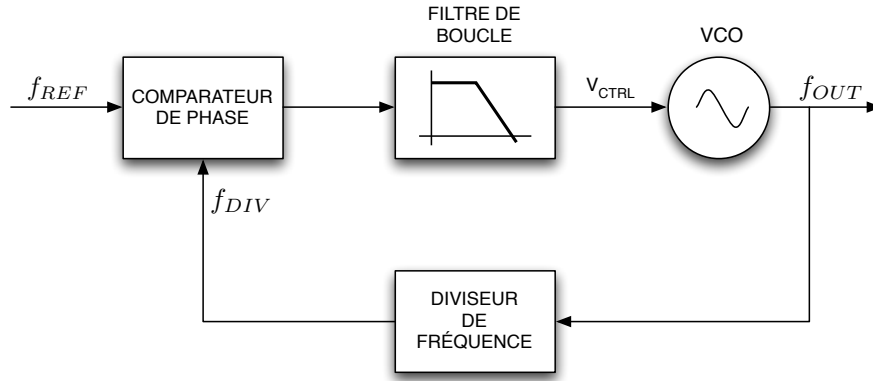


FIGURE 2.3 Diagramme bloc d'un synthétiseur de fréquences.

La configuration de boucle à verrouillage de phase que nous venons de présenter ne fait que reproduire le signal f_{REF} à la sortie du VCO. Pour la génération de fréquences porteuses, ce circuit n'est pas d'une grande utilité car les signaux à l'entrée et à la sortie ont la même fréquence. Le système de boucle à verrouillage de phase illustre toute sa puissance lorsqu'un diviseur de fréquence est introduit dans la branche de rétroaction, tel que le montre la figure 2.3. Le comparateur de phase opère maintenant sur les signaux f_{REF} et f_{DIV} , ce dernier consistant en la sortie du VCO divisée par un facteur N : $f_{DIV} = f_{OUT}/N$. Lorsque la boucle est verrouillée, les fronts montant du signal de référence f_{REF} sont alignés avec ceux du signal f_{DIV} à la sortie du diviseur de fréquence. Ainsi la présence du diviseur de fréquence résulte en un signal de sortie dont la fréquence est un *multiple* de la fréquence de l'oscillateur de référence. Lorsque le facteur de division de fréquence N est entier, la PLL est alors appelée synthétiseur de fréquences à diviseur entier, et la fréquence du signal à la sortie du synthétiseur est donnée par :

$$f_{OUT} = N \cdot f_{REF} \quad (2.1)$$

La boucle à verrouillage de phase avec diviseur de fréquence permet donc de synthétiser une fréquence de sortie qui est un multiple d'une fréquence de référence plus basse très précise et stable. Le pas de fréquence à la sortie du synthétiseur est donc égal à f_{REF} , la fréquence de référence. Dans le cas où un pas de fréquence égal à f_{REF} s'avère trop large, un diviseur de fréquence non entier peut être implémenté, résultant en un synthétiseur N-fractionnel. L'utilisation d'un synthétiseur N-fractionnel est courante lorsqu'un pas de fréquence très faible est requis, ou lorsque l'utilisation d'une référence à basse fréquence est impossible pour des considérations de temps de démarrage et de commutation. Le choix entre l'une ou l'autre des architectures de synthétiseurs sera dicté par les besoins liés à l'application, et résultera en un compromis entre complexité, consommation de puissance, résolution de fréquence, temps de démarrage et de commutation [41].

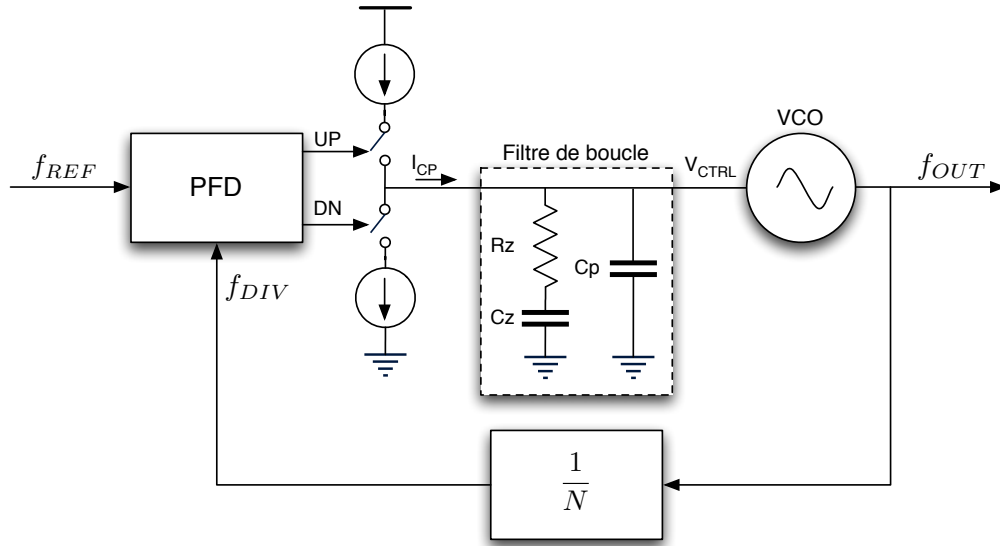


FIGURE 2.4 Diagramme bloc d'un synthétiseur de fréquences utilisant une pompe de charges.

2.3 Synthétiseur de fréquences à pompe de charges

Le synthétiseur de fréquences à pompe de charges de type-II et d'ordre 3, illustré à la figure 2.4, est la forme de PLL la plus utilisée dans les applications de communications RF. Dans cette architecture, le comparateur de phase du synthétiseur de la figure 2.3 est remplacé par la combinaison d'un détecteur de phase/fréquence (*Phase-Frequency Detector* - PFD) et d'une pompe de charges (*Charge Pump* - CP), qui consiste essentiellement en une source et un puit de courant qui sont contrôlés par les sorties *UP* et *DN* du PFD. L'utilisation d'une pompe de charges offre de nombreux avantages par rapport aux autres types de synthétiseurs, dont une plage de verrouillage améliorée et un processus de capture plus rapide [42]. Aussi, le pôle supplémentaire à 0 Hz fourni par la combinaison du détecteur de phase/fréquence et de la pompe de charges résulte en un gain infini en DC, et donc en une erreur de phase nulle lorsque la PLL est verrouillée [43]. Cet arrangement consiste des cinq blocs suivants :

L'oscillateur contrôlé par tension (VCO) est le coeur du synthétiseur de fréquences : c'est l'oscillateur harmonique qui permet la génération des porteuses RF. Il génère un signal sinusoïdal dont la fréquence f_{OUT} varie autour d'une fréquence d'oscillation libre (*Free Running*) f_{FR} en fonction de la tension de commande V_{CTRL} appliquée sur son entrée ;

Le diviseur de fréquence divise le signal de sortie du synthétiseur par un facteur N , permettant ainsi de le comparer en phase avec le signal de référence f_{REF} de plus basse fréquence. Ce module permet d'asservir la phase du signal de haute fréquence du VCO à celle du signal de référence, et ainsi syntoniser différentes fréquences selon le facteur de division N choisi ;

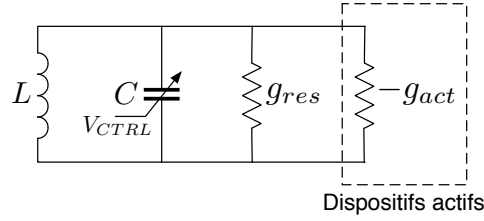


FIGURE 2.5 Modèle d'un oscillateur à résonateur LC dans le régime permanent.

Le détecteur de phase/fréquence (PFD) compare la phase du signal à la sortie du diviseur de fréquence avec celle d'un signal de référence f_{REF} généré à l'aide d'un oscillateur à cristal. Ce dispositif active à sa sortie un signal UP si f_{REF} est en avance sur f_{DIV} , et DN dans le cas inverse ;

La pompe de charges consiste en une source et un puit de courant permettant d'injecter ou de soutirer un courant I_{CP} dans le filtre de boucle, selon que le signal UP ou DN est activé par le PFD ;

Le filtre de boucle est un filtre passe-bas qui convertit les impulsions de courant I_{CP} provenant de la pompe de charges en une tension de contrôle DC servant à fixer la fréquence d'oscillation du VCO. Le filtre de boucle a une influence importante sur le régime transitoire et détermine en grande partie les performances de la boucle d'asservissement.

2.3.1 Oscillateur contrôlé par tension (VCO)

Pour les applications de communications RF, le VCO est généralement implémenté en utilisant un résonateur LC (la combinaison d'une inductance L et d'un condensateur C), tel que l'illustre la figure 2.5. La fréquence d'oscillation du VCO est alors ajustée à l'aide d'un condensateur variable, appelé varactor, qui est inséré dans le résonateur LC . La valeur de la capacité de ce varactor, et donc de la fréquence d'oscillation, est contrôlée par la tension de contrôle V_{CTRL} générée par le filtre de boucle. Le signal harmonique à la sortie du VCO est représenté par l'équation suivante :

$$V_{OUT}(t) = A_0 \cos(\omega_{OUT}t + \phi_{OUT}), \quad \text{avec} \quad \omega_{OUT} = \omega_{FR} + K_{VCO}V_{CTRL} \quad (2.2)$$

Lors de l'implémentation matérielle, la valeur de la tension de contrôle V_{CTRL} est référée *au centre de sa plage dynamique*. Ainsi, ω_{FR} est la fréquence d'oscillation libre du VCO (*free running*) lorsque $V_{CTRL} = 0$. La plage de fréquence dans la bande RF est donc parcourue en changeant la valeur de V_{CTRL} , la fréquence la plus basse à la sortie du VCO étant atteinte lorsque V_{CTRL} est à sa valeur la plus basse, alors que la fréquence maximale d'oscillation du VCO survient lorsque

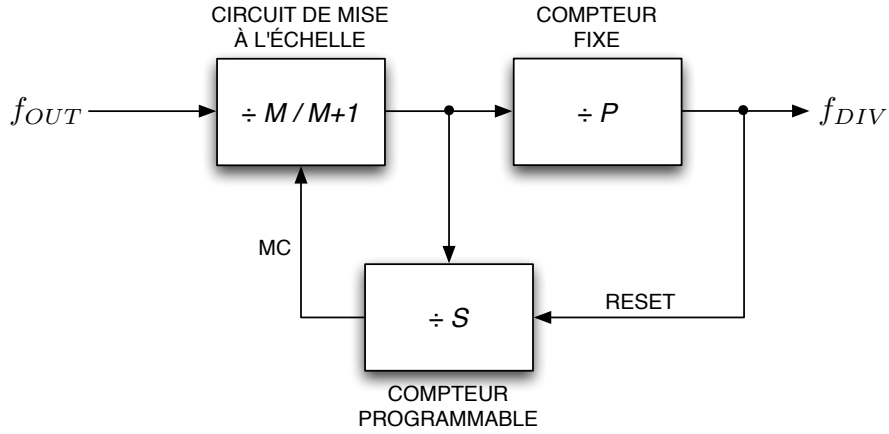


FIGURE 2.6 Diagramme bloc du diviseur de fréquence programmable.

V_{CTRL} est au maximum de sa plage dynamique. La plage de syntonisation du VCO, $\Delta\omega_{OUT} = \omega_{OUT,max} - \omega_{OUT,min}$, dépend de K_{VCO} , le gain du VCO, qui a des unités de rad/(sV) et qui est déterminé par la relation $K_{VCO} = \Delta\omega_{OUT}/\Delta V_{CTRL}$.

2.3.2 Diviseur de fréquence programmable

La figure 2.6 montre le diagramme bloc du diviseur par N programmable présent dans la boucle de rétroaction du synthétiseur de fréquences. Le diviseur programmable est composé des compteurs fixe P et programmable S , qui voient leur sortie changer de niveau lorsqu'ils ont respectivement accumulé P et S impulsions à leur entrée. Le circuit de mise à l'échelle à double module, quant à lui, divise soit par M ou $M + 1$, selon l'état de la sortie du diviseur programmable, dénotée MC pour *Modulus Control*. Voici comment cette configuration permet d'obtenir un facteur de division programmable. Initialement, le circuit de mise à l'échelle à double module divise le signal f_{OUT} provenant du VCO par $M + 1$. Après S périodes du signal à la sortie du circuit de mise à l'échelle, le compteur programmable par S sature et sa sortie MC change de niveau, indiquant au circuit de mise à l'échelle de diviser par M plutôt que par $M + 1$. Pendant ce temps, le compteur fixe par P a aussi accumulé S périodes ; il lui reste donc $P - S$ périodes avant de saturer, périodes durant lesquelles le circuit de mise à l'échelle divise par M . Lorsque le compteur par P sature, l'impulsion qui survient à sa sortie réinitialise le compteur programmable S , le signal MC revient à zéro, et le cycle complet recommence. Ainsi, le nombre de périodes du signal à l'entrée f_{OUT} requises pour compléter un cycle complet est donné par :

$$N = (M + 1)S + M(P - S) = M \cdot P + S \quad (2.3)$$

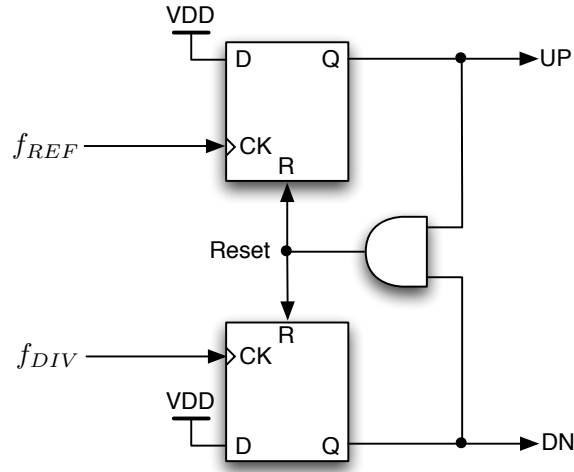


FIGURE 2.7 Détecteur de phase/fréquence.

Dans cette équation, N est le facteur de division du diviseur programmable : c'est donc le facteur par lequel la fréquence de référence f_{REF} de la figure 2.4 est multipliée par le synthétiseur pour générer la fréquence RF f_{OUT} à la sortie du VCO. Ainsi, le produit de $M \cdot P$ est fixe et aussi élevé qu'il le faut pour que le produit de $M \cdot P$ et f_{REF} atteigne *le début* de la bande de fréquence RF désirée, alors que le compteur programmable S est utilisé pour sélectionner les canaux individuels à *l'intérieur* de la bande RF. Rappelons que, puisque le facteur de division est entier, l'espacement entre les canaux syntonisés est égal à la fréquence de référence f_{REF} .

2.3.3 Détecteur de phase/fréquence et pompe de charges

La figure 2.7 illustre l'implémentation la plus répandue d'un détecteur de phase/fréquence (*Phase-Frequency Detector* - PFD). Ce circuit consiste en deux bascules-D dont les entrées D sont connectées au niveau logique 1, alors que les entrées d'horloge CK sont respectivement connectées au signal de référence f_{REF} et au signal de rétroaction f_{DIV} . Les sorties UP et DN sont connectées aux commutateurs correspondants de la pompe de charges. Tel que l'illustre la figure 2.8(a), la pompe de charges consiste essentiellement en un générateur de courant qui injecte ou soutire un courant I_{CP} du filtre de boucle, selon que le signal UP ou DN est activé. Lorsque la PLL est verrouillée, le PFD agit comme un détecteur de phase. Si l'erreur de phase entre les signaux f_{REF} et f_{DIV} est faible, de courtes impulsions sont générées soit sur la sortie UP ou DN du PFD afin de corriger l'erreur de phase en modifiant la tension de contrôle du VCO, et donc sa fréquence instantanée.

La figure 2.8(b) illustre le cas où le signal f_{REF} est en avance sur f_{DIV} . La différence de phase

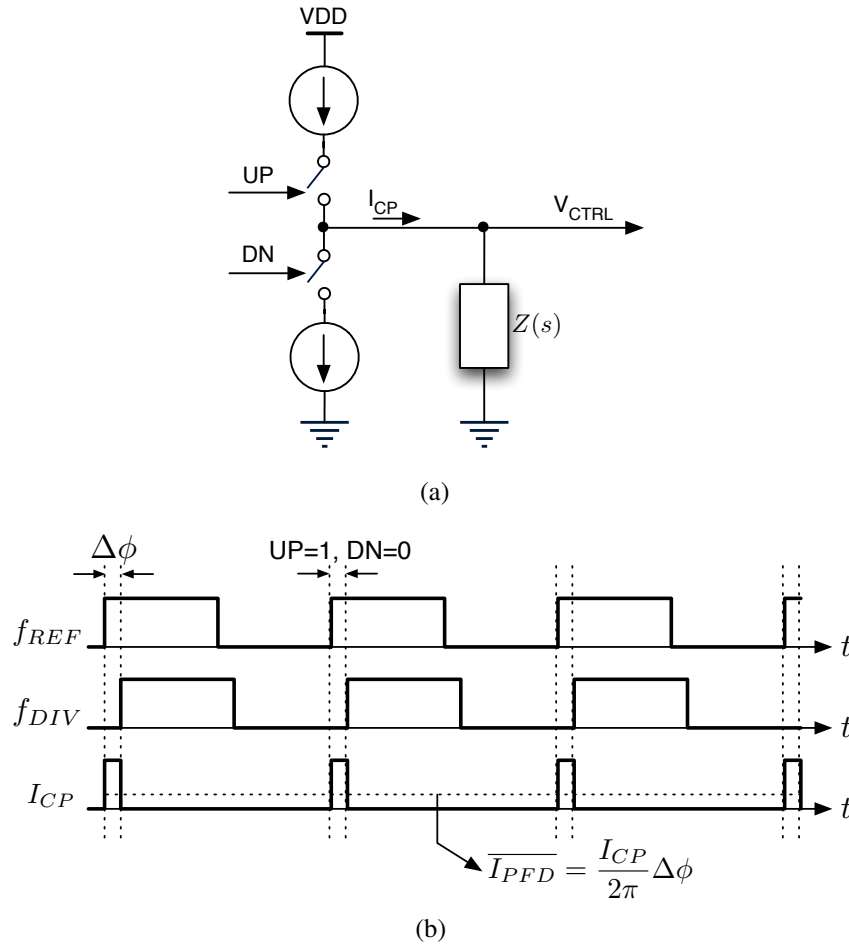


FIGURE 2.8 a) Pompe de charges (CP) et b) Diagramme temporel de la CP.

$\Delta\phi = \phi_{REF} - \phi_{DIV}$ est alors positive et une impulsion est générée sur la sortie UP du PFD. La pompe de charges dépose alors une certaine quantité de charges sur le filtre de boucle, représenté ici par sa fonction de transfert $Z(s)$, augmentant ainsi la tension V_{CTRL} et par conséquent la fréquence d'oscillation instantanée du VCO. La fréquence des transitions du signal f_{DIV} est donc augmentée et quelques cycles suffisent à ramener le déphasage entre les signaux f_{REF} et f_{DIV} à zéro. Le gain de la combinaison du détecteur de phase/fréquence et de la pompe de charges, K_{PFD} , peut être déterminé comme suit. Si la période du signal de référence f_{REF} et T_{REF} , et que la différence de phase entre le signal de référence et le signal de rétroaction f_{DIV} est dénotée par $\Delta\phi = \phi_{REF} - \phi_{DIV}$, alors la durée d'activation des signaux UP et DN est donnée par :

$$t_{UP(DN)} = \frac{\Delta\phi \cdot T_{REF}}{2\pi} \quad (2.4)$$

Pour une période T , le courant moyen fourni au filtre de boucle (selon la polarité de $\Delta\phi$) est donné

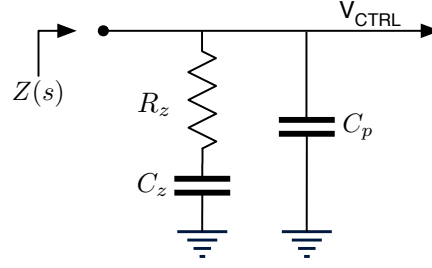


FIGURE 2.9 Filtre de boucle du synthétiseur de fréquences.

par :

$$\overline{I_{PFD}} = I_{CP} \frac{t_{UP(DN)}}{T_{REF}} = \frac{I_{CP}}{2\pi} \Delta\phi \quad (2.5)$$

Le gain de la combinaison du détecteur de phase/fréquence et de la pompe de charges, dénoté K_{PFD} , est donc donné par :

$$K_{PFD} = \frac{\overline{I_{PFD}}}{\Delta\phi} = \frac{I_{CP}}{2\pi} \quad (2.6)$$

Les détails du fonctionnement et de l'implémentation du détecteur de phase/fréquence et de la pompe de charges CMOS implémentés dans le cadre de cette thèse sont le sujet du chapitre 4.

2.3.4 Filtre de boucle

Dans le synthétiseur de fréquences, le rôle du filtre de boucle consiste à convertir les impulsions de courant générées par la pompe de charges en une tension de contrôle filtrée servant à fixer la fréquence d'oscillation du VCO. La réponse en fréquence du filtre de boucle a un impact majeur sur le comportement dynamique du synthétiseur. Le filtre de deuxième ordre de la figure 2.9 introduit un zéro dans la fonction de transfert qui permet de stabiliser le système en boucle fermée, et un pôle supplémentaire à haute fréquence qui réduit l'amplitude des impulsions résiduelles de la pompe de charges, qui sont la cause des bandes latérales parasites dans le spectre du VCO. La fonction de transfert de ce filtre de boucle, qui établit la relation entre la tension de contrôle du VCO et le courant injecté ou soutiré par la pompe de charges, est donnée par :

$$Z(s) = \frac{1}{s(C_z + C_p)} \cdot \frac{1 + sR_zC_z}{1 + sR_zC_zC_p/(C_z + C_p)} \quad (2.7)$$

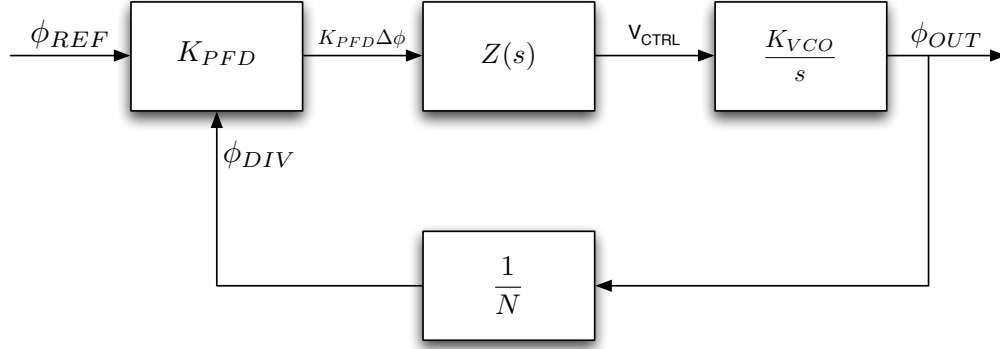


FIGURE 2.10 Modèle linéarisé d'un synthétiseur de fréquences.

Les constantes de temps de ce filtre sont :

$$\tau_z = R_z C_z \quad \text{et} \quad \tau_p = R_z \frac{C_z C_p}{C_z + C_p} \quad (2.8)$$

Le rôle du condensateur C_p est d'atténuer les signaux dont la fréquence excède la bande passante de la boucle comme, par exemple, les impulsions à ω_{REF} . La valeur de ce condensateur est typiquement choisie telle que $C_p \ll C_z$. À basse fréquence, l'impédance $Z(s)$ du filtre de boucle est égale à $1/s(C_z + C_p)$. Elle est pratiquement égale à R_z aux fréquences intermédiaires, et diminue à $1/C_p$ à hautes fréquences.

2.4 Modèle linéaire

Maintenant que nous avons offert un survol des différents modules faisant partie d'un synthétiseur de fréquences à pompe de charges, il convient de présenter son modèle linéaire. Le modèle linéaire du synthétiseur de fréquences est développé dans le domaine des fréquences s et permet d'étudier son comportement dynamique lorsque la boucle est verrouillée. Pour l'élaboration de ce modèle, nous supposons que la boucle est verrouillée en phase et que le détecteur de phase/fréquence a un comportement linéaire. Autrement dit, l'erreur de phase $\Delta\phi = \phi_{REF} - \phi_{DIV}$ est très faible. Le diagramme bloc du modèle linéarisé du synthétiseur de fréquences à pompe de charges est montré à la figure 2.10. Dans ce modèle, le filtre passe-bas est représenté par sa fonction de transfert $Z(s)$ qui relie la tension de contrôle du synthétiseur V_{CTRL} au courant moyen à la sortie de la pompe de charges. La combinaison du détecteur de phase/fréquence et de la pompe de charges est représentée par le bloc le gain K_{PFD} , défini à l'équation 2.6. La valeur moyenne du courant à la sortie de la

pompe de charges en fonction de $\Delta\phi$ est donnée par :

$$\overline{I_{PFD}} = K_{PFD}\Delta\phi \quad (2.9)$$

Le VCO, quant à lui, est modélisé comme un intégrateur. La fréquence d'oscillation instantannée du VCO donnée par la relation 2.2. La fréquence instantannée du signal de sortie du VCO est une fonction linéaire de la tension de contrôle $V_{CTRL}(t)$. La phase étant l'intégrale de la fréquence, la phase en excès à la sortie du VCO est donnée par :

$$\phi_{VCO}(t) = K_{VCO} \int_{-\infty}^t V_{CTRL}(t)dt \quad (2.10)$$

En utilisant l'équation 2.10, la fonction de transfert du VCO peut être représentée dans le domaine des fréquences s par :

$$G_{VCO}(s) = \frac{\phi_{VCO}(s)}{V_{CTRL}(s)} = \frac{K_{VCO}}{s} \quad (2.11)$$

2.4.1 Gain en boucle ouverte et marge de phase

En utilisant les résultats obtenus précédemment pour le gain K_{VCO} du VCO et le gain K_{PFD} de la combinaison détecteur de phase/fréquence et pompe de charges, nous trouvons que le gain en boucle ouverte du synthétiseur modélisé à la figure 2.10 est donné par :

$$H_{OL}(s) = \frac{\phi_{DIV}(s)}{\phi_{REF}(s)} = \frac{I_{CP}}{2\pi} \cdot Z(s) \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{N} \quad (2.12)$$

où N est le facteur de division du diviseur programmable.

Dans le domaine des fréquences, le gain en boucle ouverte devient :

$$H_{OL}(j\omega) = \frac{-K_{VCO}I_{CP}}{2\pi N} \frac{1 + j\omega\tau_z}{\omega^2(C_z + C_p)(1 + j\omega\tau_p)} \quad (2.13)$$

Le déphasage accumulé en boucle ouverte en fonction de la fréquence est donné par :

$$\angle H_{OL}(j\omega) = 180^\circ + \tan^{-1}(\omega\tau_z) - \tan^{-1}(\omega\tau_p) \quad (2.14)$$

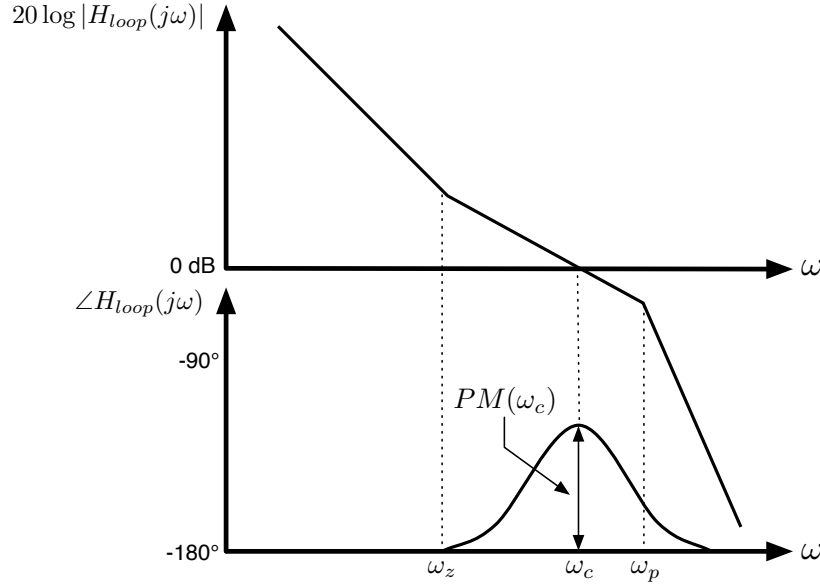


FIGURE 2.11 Diagramme de Bode du gain en boucle ouverte du synthétiseur de fréquences.

La marge de phase du système, $PM(\omega) = 180^\circ - \angle H_{loop}(j\omega)$, est donnée par :

$$PM(\omega) = \tan^{-1}(\underbrace{\omega R_z C_z}_{1/\omega_z}) - \tan^{-1}(\underbrace{\omega R_z \frac{C_z C_p}{C_z + C_p}}_{1/\omega_p}) \quad (2.15)$$

Le comportement en fréquence du gain en boucle ouverte et du déphasage associé est illustré à la figure 2.11. La fréquence ω_c est appelée *fréquence de gain unitaire en boucle ouverte* du synthétiseur. La fréquence pour laquelle la marge de phase est maximale correspond au point d'inflexion de $\angle H_{OL}(j\omega)$ et doit correspondre à la fréquence de gain unitaire ω_c , tel qu'illustré dans cette figure. Ce point d'inflexion est trouvé en égalisant la dérivée de l'équation pour la marge de phase 2.15 à zéro :

$$\begin{aligned} \left. \frac{d}{d\omega} PM(\omega) \right|_{\omega=\omega_c} &= \frac{\tau_z}{1 + (\omega_c \tau_z)^2} - \frac{\tau_p}{1 + (\omega_c \tau_p)^2} = 0 \\ \Rightarrow \omega_c &= \frac{1}{\sqrt{\tau_z \tau_p}} = \sqrt{\omega_z \omega_p} \end{aligned} \quad (2.16)$$

Cette équation montre que la marge de phase maximale est obtenue lorsque $\omega_c = \sqrt{\omega_z \omega_p}$; la moyenne géométrique de la fréquence du zéro et de celle du pôle [44].

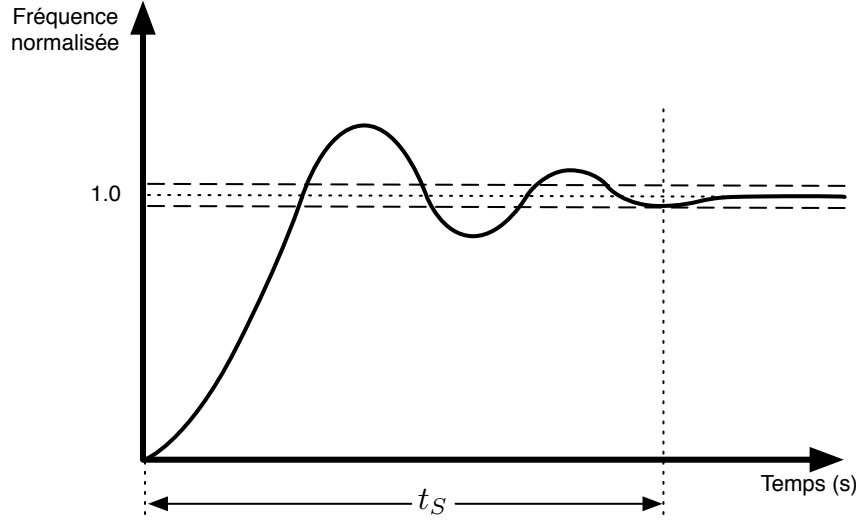


FIGURE 2.12 Temps de stabilisation d'un synthétiseur de fréquences.

2.4.2 Temps de stabilisation et de démarrage

La fréquence à la sortie du synthétiseur change de $\Delta\omega_{OUT}$ lorsque le facteur de division N est modifié. Ceci équivaut à une modification de type échelon de $\Delta\omega_{OUT}/N$ de la fréquence de référence ω_{REF} . Il est très utile d'avoir une idée du temps requis par le synthétiseur pour répondre à cet échelon et stabiliser sa fréquence de sortie à l'intérieur de, par exemple, 20 ppm de la fréquence désirée. Ce délai est appelé temps de stabilisation, et est noté t_s . Malheureusement, il n'existe aucune formule simple permettant de calculer t_s pour un synthétiseur de type-II et d'ordre 3, tel que celui présenté dans ce chapitre. Des simulations numériques de la fonction de transfert en boucle fermée du synthétiseur, $H_{CL}(j\omega)$ doivent être effectuées. Cette fonction de transfert en boucle fermée est donnée par :

$$H_{CL}(j\omega) = \frac{\phi_{OUT}(j\omega)}{\phi_{REF}(j\omega)} = \frac{H_{OL}(j\omega)}{1 + H_{OL}(j\omega)} \quad (2.17)$$

où $H_{OL}(j\omega)$ est donné par l'expression 2.13. De telles simulations montrent que le temps de stabilisation le plus court est obtenu lorsque les conditions suivantes sont rencontrées [43] :

$$\tau_z/\tau_p = 8 \quad \text{et} \quad \frac{K_{VCO}I_{CP}}{2\pi \cdot N \cdot C_p} \cdot \tau_z^2 = 22.7 \quad (2.18)$$

Dans cette situation, $t_s = 4.5\tau_z$ et $\tau_z = 4.7/\omega_{-3dB}$, où ω_{-3dB} est la fréquence de -3 dB en boucle fermée. Gardner, dans un article devenu un classique [45], a démontré que la bande passante en boucle fermée, ω_{-3dB} , devait être inférieure à 1/10 de ω_{REF} afin que le synthétiseur à pompe de charges demeure stable. En combinant ces résultats, et en rappelant que $\omega_{REF} = 2\pi/T_{REF}$, nous

trouvons l'expression suivante pour estimer le temps de stabilisation d'un synthétiseur à pompe de charges de type-II et d'ordre 3 :

$$t_s = \frac{4.5 \times 4.7}{2\pi} \times \frac{1}{\left(\frac{\omega_{-3dB}}{\omega_{REF}}\right)} \times T_{REF} \quad (2.19)$$

Ainsi, pour $\omega_{-3dB}/\omega_{REF} < 1/10$, on trouve que $t_s > 34T_{REF}$. Les temps de démarrage et de stabilisation dépendent donc directement de la largeur de bande en boucle fermée ω_{-3dB} du synthétiseur de fréquences.

2.5 Critères de performance des synthétiseurs

Lors de la conception d'un synthétiseur de fréquences pour la génération de la porteuse d'un transmetteur/récepteur RF, plusieurs critères de performance doivent être satisfaits afin que le système soit conforme à une norme de communication donnée. Les normes de communication, tels que Bluetooth, Zigbee et DECT, définissent un ensemble de limitations, paramètres et bancs d'essais à respecter afin que le système de communication puisse être utilisé de façon sécuritaire et sans impacts négatifs sur les communications des autres usagers. Des spécifications précises pour les différents blocs d'un système de communication RF peuvent être extraites de ces normes. Dans le cas d'un synthétiseur de fréquences, les spécifications concernent principalement le bruit de phase, le temps de démarrage, la plage de syntonisation ainsi que le niveau de fréquences parasites générées (*spurs*). Dans les sections qui suivent, nous allons présenter ces différents critères de performance.

2.5.1 Plage de syntonisation, résolution fréquentielle et précision

La *plage de syntonisation* d'un synthétiseur de fréquences est la différence entre les fréquences maximale et minimale à la sortie du synthétiseur, $\Delta f = f_{RF,max} - f_{RF,min}$. La plage de syntonisation requise dépend de l'architecture du transmetteur/récepteur. Dans le cas de l'architecture à conversion directe, elle est déterminée par la plage de fréquence RF utilisée par la norme. Dans le cas des architectures super-hétérodyne et à fréquence IF basse (*Low-IF*), elle est plutôt donnée par la différence entre la plage de fréquence de transmission spécifiée par la norme et la fréquence intermédiaire (IF) du transmetteur/récepteur. La plage de syntonisation détermine les limites minimales d'opération du VCO qui, en plus de couvrir la bande de fréquence requise, doit permettre de palier aux variations de procédé ainsi qu'à la tolérance des composants passifs du résonateur *LC*.

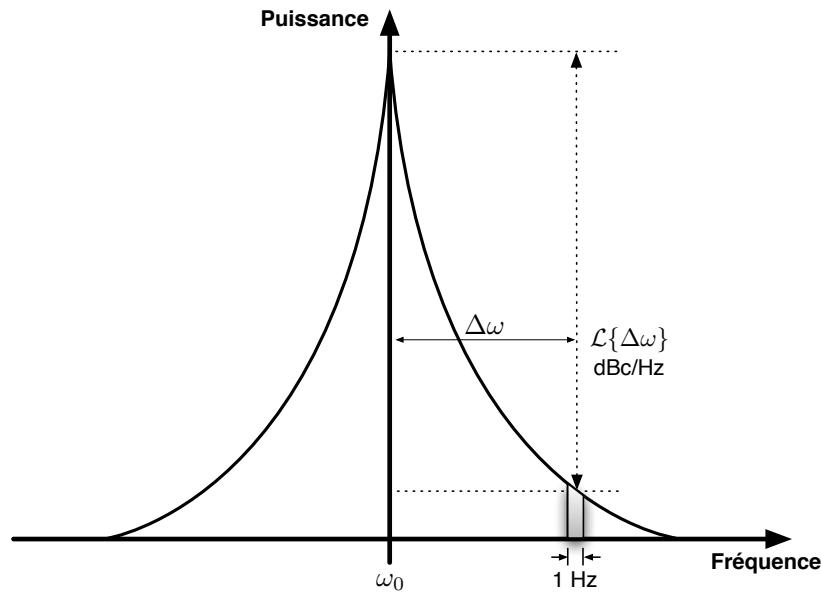


FIGURE 2.13 Bruit de phase d'un oscillateur.

La *résolution fréquentielle* d'un synthétiseur est déterminée par l'espacement des canaux RF prévus par la norme de communication. Dans un synthétiseur de fréquences à diviseur entier, l'espacement des canaux est déterminé par la valeur de la fréquence de référence f_{REF} . Enfin, la précision de la fréquence générée par le synthétiseur est une mesure de l'écart entre celle-ci et la fréquence centrale d'un canal donné. La précision fréquentielle est également utilisée comme unité de mesure servant à déterminer le temps de stabilisation du synthétiseur lors du démarrage ou d'un changement de canal.

2.5.2 Bruit de phase et *spurs*

La variation aléatoire de la phase du signal de sortie d'un oscillateur est appelé bruit de phase. Dans le domaine fréquentiel, la représentation d'un signal non bruité issu d'un oscillateur sinusoïdal idéal est une impulsion de Dirac. L'influence du bruit de phase sur le spectre de ce signal se traduit par un étalement du spectre autour de cette raie spectrale, tel qu'illustré à la figure 2.13. Le bruit de phase dans le signal de sortie du synthétiseur a plusieurs sources, dont bien entendu le bruit de phase du VCO, mais aussi le bruit généré par le détecteur de phase/fréquence, la pompe de charges et le filtre de boucle. Aussi, le bruit en bande de base des transistors du coeur du VCO est transposé autour de la fréquence de la porteuse à ω_0 . On définit le bruit de phase, dans le domaine fréquentiel, comme étant le rapport de la densité spectrale de puissance du signal de sortie dans une bande de largeur normalisée à 1 Hz à une distance en fréquence $\Delta\omega$, à la puissance de la porteuse à la fréquence ω_0 .

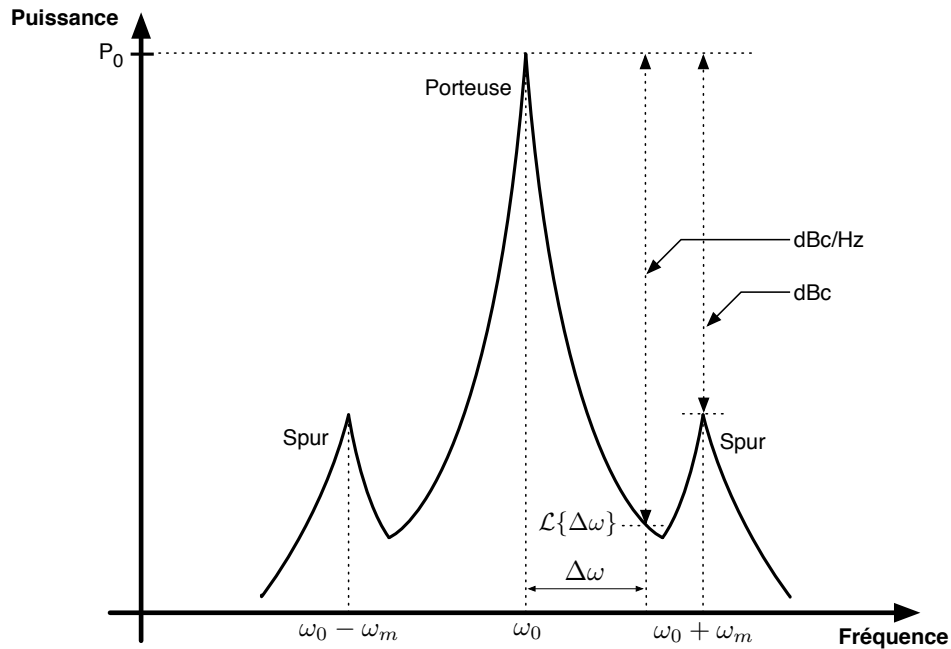


FIGURE 2.14 Bruit de phase et modulations parasites (*spurs*) dans un oscillateur.

Le bruit de phase, noté $\mathcal{L}\{\Delta\omega\}$, s'exprime en dBc/Hz et s'écrit :

$$\mathcal{L}\{\Delta\omega\} = 10 \log \frac{P_{\text{bruit}}(\text{bande de 1 Hz à } \Delta\omega)}{P_{\omega_0}} \quad (2.20)$$

En plus du bruit de phase, des pics d'énergie secondaire, ou oscillations parasites (*spurs*), peuvent apparaître dans le spectre de fréquence du synthétiseur, tel que l'illustre la figure 2.14. Ces *spurs* sont causés par des oscillations parasites déterministes qui sont converties autour de la porteuse, et leur niveau est mesuré en dBc, c'est-à-dire en décibels référés à la puissance de la porteuse (dB *relative to the carrier*).

Le bruit de phase et les *spurs* dégradent la pureté spectrale de l'oscillateur local. Dans un transmetteurs RF, le bruit de phase de l'oscillateur local (LO) qui s'étend dans les canaux adjacents diminue leur rapport signal-à-bruit en augmentant le niveau du bruit plancher. Dans le cas d'un récepteur, ce même bruit de phase résulte en la transposition en fréquence dans la bande d'intérêt de signaux indésirables. Considérons par exemple la figure 2.15, qui illustre la transposition fréquentielle réciproque d'un signal d'interférence puissant, appelé aussi *signal bloqueur*, près du signal RF désiré. Rappelons que la multiplication dans le domaine du temps des signaux reçus par les sinusoides générées par l'oscillateur local (LO) correspond à une convolution dans le domaine fréquentiel. Ainsi, la transposition en fréquence du signal bloqueur, ici représenté par une impulsion de Dirac, résulte en une copie du spectre fréquentiel du LO à une distance $\Delta\omega$ du signal désiré, et dont la puissance

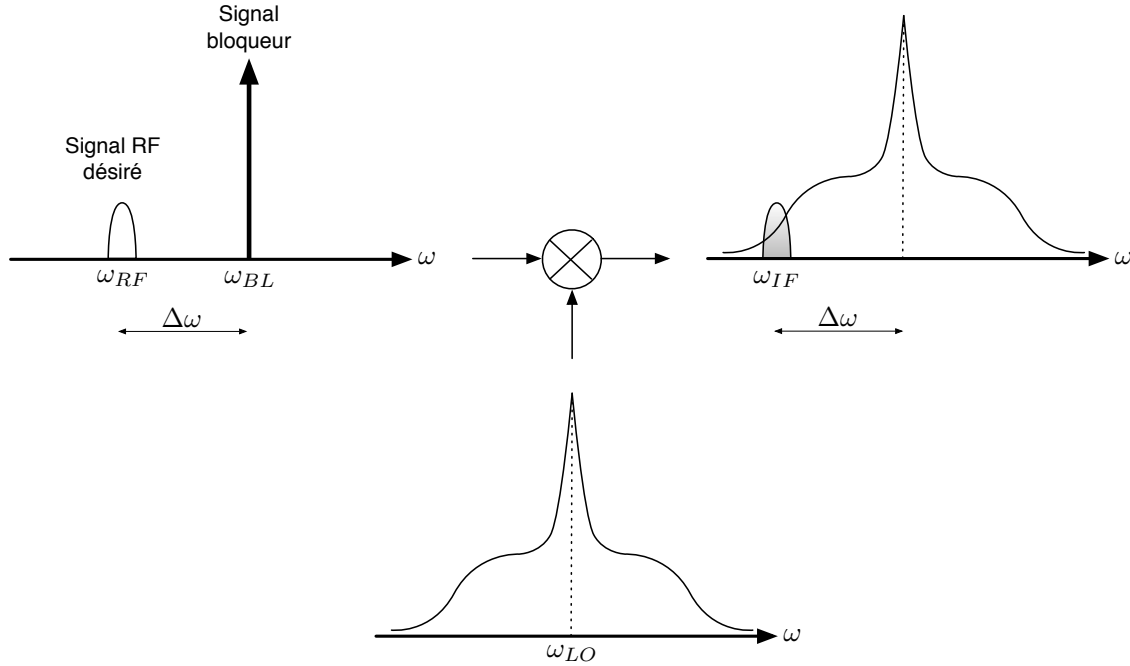


FIGURE 2.15 Abaissement de fréquence réciproque causé par le bruit de phase dans un oscillateur.

est directement proportionnelle à la puissance du signal d'interférence. Le spectre du signal bloqueur abaissé en fréquence est donc superposé à celui du signal désiré, et diminue du même coup le rapport signal-à-bruit (SNR) de ce dernier. Le bruit de phase maximum tolérable à un décalage de fréquence donné $\Delta\omega$ de la porteuse peut être estimé à l'aide de l'expression suivante :

$$\mathcal{L}(\Delta\omega) = P_{RX,min} - P_{BL,max} - 10 \log B - SNR_{min} \quad [\text{dBc/Hz}] \quad (2.21)$$

Dans cette équation, $P_{RX,min}$ est la puissance minimale reçue du signal désiré, $P_{BL,max}$ est la puissance maximale à laquelle on peut s'attendre pour un signal bloqueur à un décalage de fréquence $\Delta\omega$, B est la largeur de bande utile du récepteur et enfin SNR_{min} est le rapport signal-à-bruit minimal requis pour maintenir un BER donné. En ce qui concerne les *spurs* de l'oscillateur local, la situation peut être encore plus problématique dans le cas où la fréquence du *spur* concorde avec celle du signal bloqueur. Le *spur* agit alors exactement comme un LO "secondaire" qui transpose le signal bloqueur à la même fréquence que le signal désiré, affectant grandement son rapport signal-à-bruit. Ainsi, la position et la puissance tolérable des *spurs* dans le spectre de l'oscillateur local est déterminée par la fréquence et la puissance attendues des signaux d'interférence dans la bande de fréquence utilisée par le système de communication RF.

2.6 Modèle mathématique du bruit de phase

Dans le domaine des fréquences, une fréquence porteuse idéale est une sinusoïde pure à une fréquence ω_0 , telle que $\nu(t) = A \cdot \cos(\omega_0 t + \phi_0)$. Le spectre fréquentiel de $\nu(t)$ est une impulsion de Dirac à ω_0 , c'est à dire $N(\omega) = \delta(\omega_0)$. Lorsque ce signal idéal est perturbé à la fois en amplitude et en phase, le signal résultant devient :

$$\nu(t) = A(t) \cdot \cos[\omega_0 t + \phi_0 + \phi(t)] \quad (2.22)$$

Les variations de l'amplitude $A(t)$ et de la phase $\phi(t)$ de la porteuse produisent des bandes latérales près de la fréquence de la porteuse, comme l'illustre la figure 2.13. Les variations d'amplitude peuvent être significativement réduites à l'aide de limiteurs, d'une boucle de contrôle d'amplitude, ou encore à l'aide d'un oscillateur dont l'amplitude est limitée par la tension d'alimentation ou la source de courant de polarisation. Peu importe la technique utilisée, les variations d'amplitude d'un oscillateur sont généralement négligeables par rapport aux variations de phase de son signal de sortie, de telle sorte que ces dernières sont pratiquement responsables de la totalité des bandes latérales de bruit de phase dans le spectre de fréquences du signal de l'oscillateur [43]. En assumant que la perturbation dans la phase du signal défini par l'équation 2.22 consiste en une seule tonalité à la fréquence ω_m , de telle sorte que $\phi(t) = \phi_m \sin(\omega_m t)$, nous pouvons écrire l'expression représentant le signal de sortie de l'oscillateur comme :

$$\nu(t) = A_0 \cos[\omega_0 t + \phi_0 + \phi_m \sin(\omega_m t)] \quad (2.23)$$

Aussi, si l'amplitude de $\phi(t)$ est de beaucoup inférieure à un radian, alors $\cos[\phi(t)] \approx 1$ et $\sin[\phi(t)] \approx \phi(t)$, de telle sorte que le signal de sortie de l'oscillateur peut être exprimé comme :

$$\nu(t) \approx A_0 \cos(\omega_0 t + \phi_0) - \frac{A_0}{2} \cdot \phi_m \cos[(\omega_0 - \omega_m)t] + \frac{A_0}{2} \cdot \phi_m \cos[(\omega_0 + \omega_m)t] \quad (2.24)$$

Cette équation indique que le spectre de sortie de l'oscillateur consiste en un signal FM à bande étroite avec un indice de modulation ϕ_m accompagné d'un signal à la fréquence fondamentale ω_0 . La modulation de phase produit deux tonalités de chaque côté de la fondamentale, aux fréquences $\omega_0 \pm \omega_m$. La densité spectrale de puissance de chacune de ces tonalités latérales est donnée par :

$$S_\nu(\omega_0 \pm \omega_m) = \frac{1}{2} \cdot \left(\frac{A_0}{2} \cdot \phi_m \right)^2 = \frac{A_0^2}{2} \cdot \frac{S_\phi(\omega)}{2} \quad (2.25)$$

où $S_\phi(\omega)$ est la densité spectrale de puissance du bruit de phase $\phi(t)$.

Tel que l'exprime l'équation 2.20 présentée plus haut, le bruit de phase est défini comme étant le ratio entre la puissance du bruit de phase dans une bande de fréquence de 1 Hz à une distance $\Delta\omega$ de la porteuse et la puissance de cette dernière. En utilisant l'équation 2.25, le bruit de phase à une distance ω_m de la fondamentale est donc donné par l'expression suivante :

$$\mathcal{L}\{\omega_m\} = 10 \log \left(\frac{S_\nu(\omega_0 \pm \omega_m)}{A_0^2/2} \right) \approx 10 \log \left(\frac{S_\phi(\omega_m)}{2} \right) \quad (\text{dBc/Hz}) \quad (2.26)$$

2.7 Survol des synthétiseurs récemment présentés dans la littérature

Dans cette section, nous allons présenter un survol des synthétiseurs de fréquence récemment présentés dans la littérature dont l'architecture est similaire à celle du synthétiseur de fréquences proposé dans le cadre de cette thèse. Le synthétiseur de fréquences à diviseur entier présenté dans [46] génère deux signaux d'oscillateur local (LO) à 1/3 et 2/3 de la fréquence de la porteuse RF de 5240 MHz. Ce synthétiseur entièrement intégré en technologie CMOS 0.25 μm inclut un filtre de boucle programmable et un VCO offrant une plage d'ajustement de 800 MHz grâce à une banque de condensateurs commutables. Le temps de stabilisation du synthétiseur est de 150 μs et il présente un bruit de phase très faible de -105 dBc/Hz à 10 kHz de distance de la porteuse, et des *spurs* inférieurs à -64 dBc. Toutefois, ces performances sont accompagnées d'une consommation très élevée de 93 mW.

Un synthétiseur à diviseur entier entièrement intégré, compatible avec la norme ZigBee et implémenté dans un procédé CMOS 0.18 μm , est présenté dans [47]. Le filtre de boucle est passif et de troisième ordre, le VCO génère les versions en quadrature I/Q de la porteuse et le diviseur de fréquence est implémenté en utilisant la logique en mode courant (*Current-Mode Logic - CML*). Le temps de stabilisation simulé est de 300 μs et la consommation de puissance est de 22 mW sous une tension d'alimentation de 1.8 V. Un synthétiseur CMOS à diviseur entier opérant sous une tension d'alimentation de 1 V est présenté dans [48]. Le VCO est basé sur l'architecture de Colpitts et utilise un transformateur dans la branche de rétroaction plutôt que le diviseur capacitif conventionnel afin d'opérer à basse tension d'alimentation. De plus, le diviseur de fréquence est empilé avec le VCO pour réutiliser le courant de polarisation de celui-ci. Le bruit de phase mesuré est de -139 dBc/Hz à une distance de 20 MHz de la porteuse de 4.256 GHz. Le synthétiseur offre une plage de syntonisation de 4.114 à 4.352 GHz et permet de syntoniser 16 canaux. Implémenté en technologie CMOS 0.18 μm , sa consommation de puissance est de 10 mW.

Un synthétiseur de fréquences à diviseur entier et à faible consommation pour la bande ZigBee de 2.4 GHz est présenté dans [49]. Le synthétiseur utilise un diviseur de fréquence entier et atteint un

temps de stabilisation presque nul grâce à l'utilisation de deux points de contrôle pour la syntonisation des canaux : la tension de contrôle du VCO V_{CTRL} et le facteur de division dans la branche de rétroaction. Le VCO est polarisé à l'aide d'un transistor bipolaire parasite NPN vertical, améliorant ainsi de 5 dB le bruit de phase près de la porteuse en comparaison avec un VCO similaire polarisé par un transistor MOS. Le diviseur de fréquence utilise une version modifiée de la logique TSPC afin d'opérer à basse tension d'alimentation. En utilisant un procédé CMOS $0.18\ \mu\text{m}$ sous une alimentation de 1.2 V, la consommation du synthétiseur de fréquences est de 4.2 mW et le bruit de phase est de -116.5 dBc/Hz à une distance de 1 MHz de la porteuse.

Les auteurs dans [50] présentent un synthétiseur de fréquences à basse consommation entièrement intégré en technologie CMOS $0.13\ \mu\text{m}$ opérant à 1.8 GHz. Ce synthétiseur à diviseur entier, qui est entièrement conçu à l'aide de circuits logiques CML, consomme 3.5 mW sous une tension d'alimentation de 1.2 V. Dans [51], un synthétiseur à diviseur fractionnel opérant sous une tension d'alimentation de 0.8 V est décrit. Le VCO de ce synthétiseur utilise lui aussi une rétroaction utilisant un transformateur, et un modulateur $\Delta\Sigma$ d'ordre 3 à 2-bits est implémenté pour contrôler le facteur de division de la PLL. Le synthétiseur est implémenté en technologie CMOS $0.18\ \mu\text{m}$ et sa plage de syntonisation est de 1.06 GHz à 1.4 GHz avec une résolution de 25 kHz. Le bruit de phase est respectivement de -104 dBc/Hz et de -121 dBc/Hz à 200 kHz et 1 MHz de distance de la porteuse, pour une consommation de puissance de 4.92 mW.

Enfin, les auteurs de [52] présentent un synthétiseur de fréquences à diviseur entier compatible avec la norme ZigBee dans la bande de fréquence de 2.4 à 2.4835 GHz qui offre une résolution de fréquence de 5 MHz. Le synthétiseur a été implémenté en technologie CMOS $0.18\ \mu\text{m}$, présente un bruit de phase mesuré de -81.55 dBc/Hz et de -108.55 dBc/Hz à une distance en fréquence de la porteuse de 100 kHz et 1 MHz respectivement. Le temps de stabilisation du synthétiseur est inférieur à 25 μs et sa consommation de puissance est de 7.95 mW sous une tension d'alimentation de 1.8 V.

2.8 Synthétiseur de fréquences proposé pour les microsystèmes implantables

L'architecture du synthétiseur développé dans le cadre de cette thèse est montrée à la figure 2.16. C'est un synthétiseur à pompe de charges de type-II et d'ordre 3. Une architecture à diviseur entier a été choisie pour sa compatibilité avec la contrainte de faible consommation de puissance. Le synthétiseur, qui sera utilisé au coeur du transmetteur/récepteur du microsystème implantable présenté à l'annexe I, permet la syntonisation de 7 canaux dans la bande ISM de 902-928 MHz avec 3.4 MHz d'espacement entre les canaux.

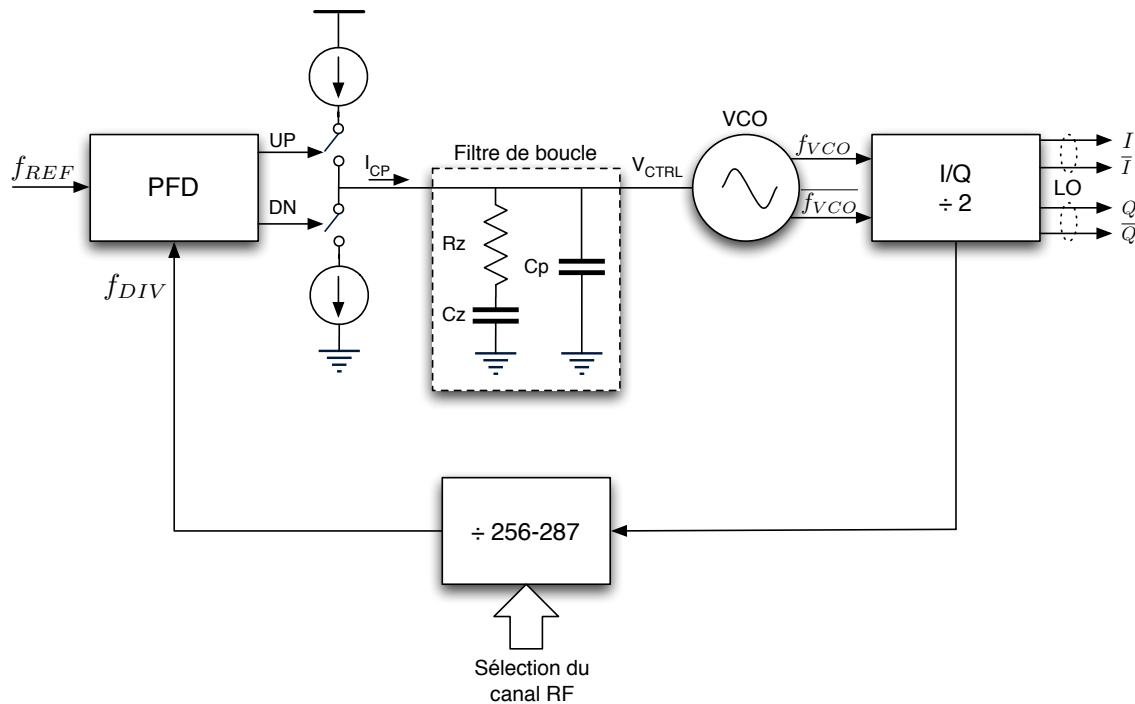


FIGURE 2.16 Architecture du synthétiseur proposé.

Le filtre de boucle est entièrement intégré, et le VCO est basé sur un résonateur LC également intégré sur la puce. Le VCO opère au double de la fréquence de la bande désirée de 902-928 MHz, c'est à dire à 1830 MHz. Ce choix permet l'intégration d'une inductance sur puce dont le facteur de qualité Q est supérieur car celui-ci est proportionnel à la fréquence avant que l'inductance entre en auto-résonance ou que les pertes par courants induits soient dominantes [53]. En opérant au double de la fréquence, il devient également possible d'utiliser un circuit de division par 2 afin de générer les versions différentielles I/Q de la porteuse [54].

2.8.1 Spécifications du synthétiseur de fréquences

Le synthétiseur a été conçu de façon à satisfaire aux spécifications découlant de l'analyse système du transmetteur/récepteur implantable présentée à l'annexe I. Voici les spécifications requises pour le synthétiseur de fréquences :

- ◇ Opération dans la bande de fréquence ISM de 902-928 MHz ;
- ◇ Une fréquence de référence f_{REF} de 3.39 MHz ;
- ◇ Un filtre de boucle entièrement intégré ;
- ◇ Un VCO oscillant à une fréquence centrale de 1.830 GHz, au double de la fréquence du LO ;

TABLEAU 2.1 Résumé des spécifications requises du synthétiseur de fréquences proposé.

Paramètres	Valeurs
Procédé de fabrication	CMOS 90-nm 7M2T
Tension d'alimentation	1 V
Consommation de puissance	< 1 mW
Plage de syntonisation	902-928 MHz
Nombre de canaux	7
Fréquence de référence	3.39 MHz
Fréquence d'oscillation du VCO	1830 MHz
Facteur de division requis	$2 \times 267-273$
Bruit de phase $\mathcal{L}(\Delta\omega)$ @ 300 kHz	< -78 dBc/Hz à 300 KHz
@ 600 kHz	< -84 dBc/Hz à 600 KHz
@ 1 MHz	< -88 dBc/Hz à 1 MHz

- ◇ Une plage de syntonisation du VCO supérieure à 200 MHz afin de couvrir la plage 902-928 MHz après division par 2 et couvrir les variations de procédé ;
- ◇ Un diviseur par 2 pouvant générer les versions différentielles des porteuses en quadrature I/Q de la porteuse RF ;
- ◇ Un temps de stabilisation inférieur à 25 μs ;
- ◇ Une tension d'alimentation de 1 V ;
- ◇ Une consommation de puissance inférieure à 1 mW.

2.8.2 Conception du synthétiseur de fréquences

Le pas de fréquence à la sortie du synthétiseur est égal à la fréquence de référence, soit de 3.39 MHz. Le facteur de division total requis (incluant le diviseur par 2 I/Q) pour que la sortie du VCO oscille à 1.830 GHz est donc égal à $2 \times N = f_{OUT}/f_{REF} = 540$. En opérant le synthétiseur avec ce facteur de division, la fréquence de sortie du VCO est à 1.830 GHz, et la sortie du diviseur par 2 est à 915 MHz, au centre de la bande ISM. Afin de parcourir la bande ISM en entier, le facteur de division N minimum requis est de 267, et le facteur de division maximum est de 273. Tel que l'illustre l'équation 2.3, le diviseur programmable permet de diviser la fréquence à la sortie du diviseur par 2 I/Q d'un facteur $N = M \cdot P + S$. Ainsi, l'utilisation d'un circuit de mise à l'échelle à double module $M/M + 1$ par 8/9, d'un diviseur P par 32, et d'un compteur programmable S à 5-bits permet d'implémenter un diviseur de fréquence programmable qui couvre une plage de division allant de $N=256$ à 287.

TABLEAU 2.2 Choix de conception du synthétiseur de fréquences.

f_{REF}	3.39 MHz
N	$2 \times 256-287$
$K_{VCO}/2\pi$	200 MHz
I_{CP}	50 μ A
R_z	69.8 k Ω
C_z	35.8 pF
C_p	5.1 pF

La fréquence de -3 dB en boucle fermée, ω_{-3dB} , a été fixée à 150 kHz, soit à environ 1/20 de ω_{REF} . Les résultats de la section 2.4.2 sont utilisés pour calculer les différents paramètres du synthétiseur de fréquences. Afin de minimiser le temps de stabilisation, le ratio de la constante de temps du troisième pôle et de celle du zéro est fixé à $\tau_z/\tau_p = 8$. On a alors $\tau_z = 4.7/\omega_{-3dB} = 2.5 \mu$ s, et par conséquent $\tau_p = \tau_z/8 = 0.3 \mu$ s. Aussi, l'équation indique que la condition suivante doit être satisfaite :

$$\frac{K_{VCO}I_{CP}}{C_p} = \frac{22.7 \cdot 2\pi \cdot N}{\tau_z^2} = 1.23 \cdot 10^{16} \quad (\text{rad/s})^2 \quad (2.27)$$

Dans cette équation, K_{VCO} est le gain du VCO qui, selon les spécifications, est au minimum égale à $2\pi \cdot 200$ MHz afin de couvrir les variations de procédé. Le courant de la pompe de charges, I_{CP} , est fixé à 50 μ A afin de minimiser la consommation de puissance. En fixant le facteur de division N à 540 (le centre de la bande ISM), la valeur du condensateur C_p est de 5.1 pF. On peut alors déduire la valeur de C_z à l'aide de l'équation $\tau_p/\tau_z = 1 + C_z/C_p = 8$, qui donne $C_z = 7C_p = 35.8$ pF. Finalement, puisque $\tau_z = R_z C_z$, nous trouvons que $R_z = 69.8$ k Ω . Enfin, en utilisant l'équation 2.19, le temps de stabilisation du synthétiseur est estimé à environ $t_s > 34T_{REF} = 10 \mu$ s. Les simulations au niveau système du synthétiseur de fréquences effectuées à l'aide d'un modèle Verilog-A montrent que la marge de phase est de $PM|_{\omega=\omega_c} = 55^\circ$. Le tableau 2.2 présente un résumé des choix de conception du synthétiseur de fréquences proposé.

Un modèle Verilog-A a dû être utilisé pour simuler la bande passante ainsi que le bruit de phase du synthétiseur de fréquences étant donné le nombre excessif de points de simulation requis pour compléter ces simulations. Avec le ratio de division N de 540 entre la fréquence de sortie et le comparateur de phase/fréquence du synthétiseur proposé, les modules opérant à haute fréquence tel que le VCO à 1.830 GHz et le circuit de mise à l'échelle à double module requièrent un pas de simulation de l'ordre de la picoseconde, alors que le temps de stabilisation d'une dizaine de micro-secondes fixé par la largeur de bande du synthétiseur. Par conséquent, le temps de stabilisation des

simulations est plusieurs ordres de grandeur supérieur au pas de simulation requis. La simulation directe du bruit de phase du synthétiseur à l'aide d'une analyse PSS/PNoise (*Periodic Steady State / Periodic Noise*) de SpectreRF est impossible, celle-ci nécessitant l'échantillonnage de plusieurs périodes d'oscillations du synthétiseur de fréquences lorsque son amplitude est stable. La solution à cette difficulté consiste à caractériser le VCO, le diviseur de fréquence, la combinaison du détecteur de fréquence et de la pompe de charges individuellement et à simuler leur bruit de phase respectif à l'aide d'une analyse PSS/PNoise. Ensuite, un modèle Verilog-A du synthétiseur est développé en utilisant ces résultats de simulation de façon à quantifier leur impact sur le comportement dynamique du synthétiseur ainsi que sur son bruit de phase. Les modèles Verilog-A des modules du synthétiseur de fréquences sont présentés à l'annexe V.

Les chapitres qui suivent présentent l'implémentation détaillée des différents modules du synthétiseur de fréquences illustré à la figure 2.16. Les chapitres sont séparés selon le type de module en question : les circuits analogiques en bande de base, les circuits RF, et les circuits numériques à haute vitesse sont présentés dans des chapitres distincts. De plus, chaque chapitre présente une contribution originale découlant de cette recherche. Nous allons tout d'abord présenter la réalisation d'un miroir de courant à très haute impédance de sortie et capable de fonctionner sous de très basses tensions d'alimentation.

CHAPITRE 3

NOUVEAU MIROIR DE COURANT CMOS OPÉRANT À BASSE TENSION D'ALIMENTATION

Tel que mentionné dans l'introduction, la fréquence de transition élevée des transistors des procédés CMOS nanométriques offre plusieurs avantages lors de la conception de circuits RF à consommation ultra faible, car ces transistors peuvent être opérés en inversion faible jusqu'à des fréquences de l'ordre du GHz avec un gain raisonnable. Aussi, la basse tension d'alimentation de ces procédés prescrite par l'extrême minceur de l'oxyde de grille est avantageuse du point de vue de la consommation de puissance du synthétiseur, car la puissance dynamique dissipée par les circuits numériques diminue de façon quadratique avec la tension d'alimentation V_{DD} [55]. Toutefois, la tension d'alimentation maximale de l'ordre de 1 V et la résistance incrémentale de sortie très faible des transistors rendent très ardue la conception de miroirs de courant ou de sources de courants qui présentent une grande résistance de sortie et une plage dynamique étendue.

À titre d'illustration, la figure 3.1 montre le courant à la sortie d'un miroir de courant NMOS simple qui est polarisé avec un courant d'entrée de $20 \mu\text{A}$, et ce pour différentes longueurs de transistors. Il est clair que le mode de fonctionnement des transistors nanométriques s'éloigne sensiblement du comportement "classique" du transistor MOS en saturation, où il est représenté par une source de courant et où la modulation de canal est considérée comme un phénomène de second ordre. Dans ce chapitre, nous présentons un nouveau miroir de courant CMOS à très haute impédance de sortie et fonctionnant sous de très basses tensions d'alimentation grâce à une plage d'opération étendue [35].

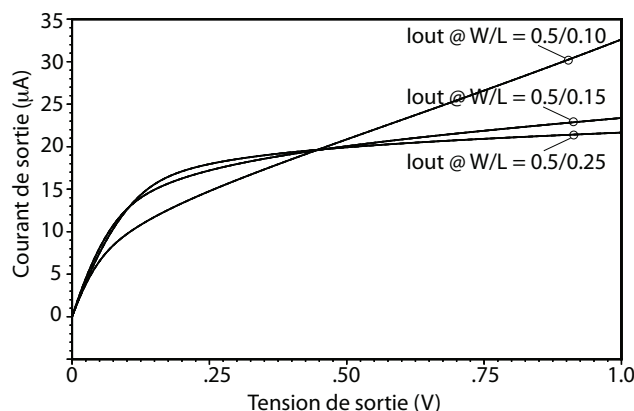


FIGURE 3.1 Courant à la sortie d'un miroir de courant simple NMOS avec $I_{IN} = 20 \mu\text{A}$.

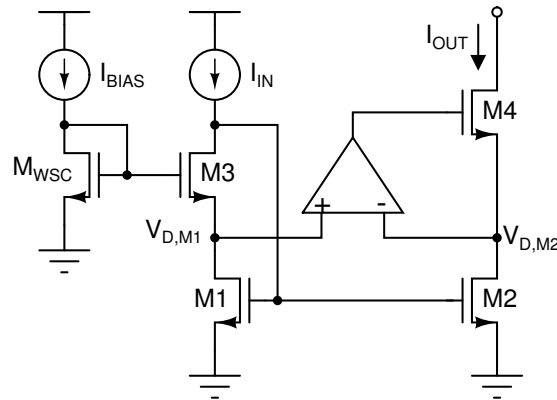


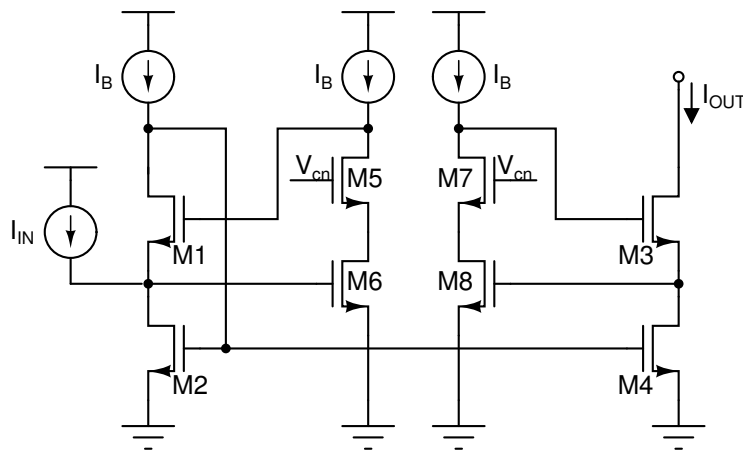
FIGURE 3.2 Miroir de courant avec tension de drain fixée à l'aide d'un ampli-op.

3.1 Miroirs de courant à haute impédance de sortie opérant à bas voltage

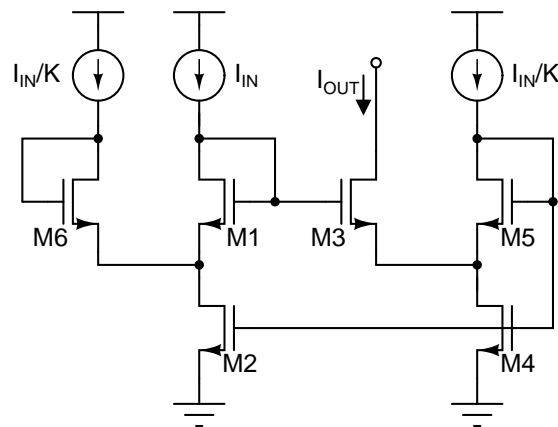
La figure 3.2 montre une technique couramment utilisée pour augmenter la résistance de sortie d'un miroir de courant. Cette technique consiste à utiliser un amplificateur opérationnel dans une boucle de rétroaction afin de forcer au même potentiel les tensions de drain du transistor de sortie et du transistor de la source de courant de référence [56]. En imposant un V_{DS} identique aux transistors du miroir de courant, ici $V_{D,M1} = V_{D,M2}$, l'impact de la modulation de canal est pratiquement éliminé et le courant à la sortie est une copie presque parfaite du courant à l'entrée. La résistance de sortie résultante est donc excessivement élevée, mais elle est accompagnée d'une dégradation de la bande passante, et l'amplificateur opérationnel doit être soigneusement compensé afin d'éviter les problèmes d'oscillations.

Récemment, un miroir de courant cascode régulé qui offre une résistance de sortie beaucoup plus élevée que le miroir cascode conventionnel a été présenté d'abord par Sackinger [57], puis une version entièrement cascode a été publiée par Garimella *et al* [58]. Tel que le montre la figure 3.3(a), l'inconvénient de ce miroir de courant est que l'entrée de l'amplificateur source-commune formé par M7-M8 et la source de courant I_B est connectée au drain du transistor M4 servant à copier le courant d'entrée vers la sortie. Ainsi, le transistor M8 de l'amplificateur source-commune doit être opéré profondément en inversion faible afin d'offrir un gain suffisant lorsque la tension de sortie devient basse. Ceci limite significativement la bande-passante du gain de boucle, et donc de la résistance de sortie, tout en augmentant la surface de silicium requise pour implémenter le miroir.

Un miroir de courant pour les applications à basse tension d'alimentation a été présenté par Minch [59]. Le schéma de ce miroir de courant, appelé *high-swing super-Wilson*, est montré à la figure



(a) Miroir de courant NMOS entièrement cascode, d'après [58].



(b) Miroir de courant *high-swing super-Wilson* à excursion de tension élargie, d'après [59].

FIGURE 3.3 Miroir de courant entièrement cascode et miroir de courant high swing super-Wilson.

3.3(b). Il peut opérer sous une tension d'alimentation de seulement une chute de diode V_{GS} plus deux tensions de saturation $V_{DS,sat}$ et maintient une résistance de sortie élevée sur une plage très large de tension de sortie ; tant que V_{OUT} est supérieure à $2V_{DS,sat}$ (environ 200 mV en technologie CMOS 90-nm). Dans ce chapitre, nous allons présenter l'architecture d'un nouveau miroir de courant basé sur le principe de degré de saturation d'un transistor MOS. Le miroir proposé offre une résistance de sortie d'un facteur $g_m r_o$ supérieure à celle du miroir *high-swing super-Wilson*, et sa plage de tension de sortie est également améliorée.

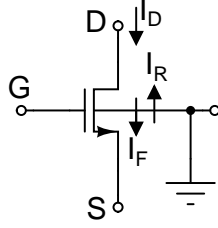


FIGURE 3.4 Composantes avant I_F et inverse I_R du courant de drain d'un transistor MOS.

3.2 Le degré de saturation d'un transistor

Le fonctionnement du miroir de courant proposé dans ce chapitre est basé sur la notion de degré de saturation d'un transistor MOS, que nous allons maintenant présenter. Tel que l'illustre la figure 3.4, le courant de drain d'un transistor MOS consiste en la superposition linéaire d'un courant avant I_F (*forward current*) et d'un courant inverse I_R (*reverse current*). Ces deux composantes de courant sont indépendantes l'une de l'autre et symétriques, et sont respectivement fonction des tensions de source V_S et de drain V_D référées au substrat local. Le courant de drain total I_D du transistor est représenté par l'équation suivante :

$$I_D = I_F - I_R$$

En négligeant les effets de canal court, l'expression des composantes de courant *avant* et *inverse* est donnée par le modèle EKV [60] :

$$I_F = \frac{W}{L} I_S \ln^2 \left(1 + e^{((V_G - V_{T0}) - V_S)/2nU_T} \right) \quad (3.1)$$

$$I_R = \frac{W}{L} I_S \ln^2 \left(1 + e^{((V_G - V_{T0}) - V_D)/2nU_T} \right) \quad (3.2)$$

Où $n = (C_{ox} + C_{dep})/C_{ox}$ est le facteur de pente, $U_T = kT/q$ est la tension thermique, et V_{T0} est la tension de seuil à une polarisation nulle. Enfin, $I_S = 2n\mu C_{ox} U_T^2$ est le *courant technologique* qui est indépendant des conditions de polarisation et des dimensions W/L du transistor. Ces deux équations montrent que la composante de courant avant, I_F , ne dépend que de la tension de source V_S . De la même manière, la composante de courant inverse, I_R ne dépend que de la tension de drain V_D . Si la composante avant du courant I_F est beaucoup plus grande que la composante inverse I_R , alors la tension de drain du transistor a peu d'influence sur le courant de drain total I_D , et le transistor est en saturation. À l'opposé, si la magnitude des composantes avant et inverse est comparable ($I_F \approx I_R$), alors le courant de drain total dépend à la fois de la tension de drain et de la tension de source. Le transistor est alors opéré en triode, qui est aussi appelée région ohmique. Le degré auquel un transistor MOS est saturé peut donc être quantifié à l'aide du ratio I_F/I_R .

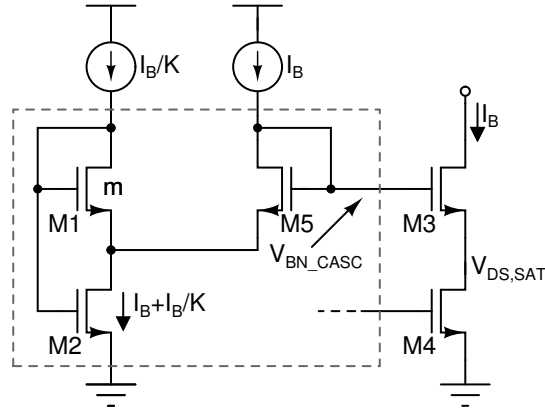


FIGURE 3.5 Circuit de polarisation cascode à bas voltage (montré dans l'encadré pointillé).

3.2.1 Circuit de polarisation cascode

Afin d'illustrer ces notions, nous allons calculer le degré de saturation du transistor M2 faisant partie du circuit de polarisation cascode illustré à la figure 3.5. Ce circuit sert à générer la tension de polarisation des transistors NMOS des étages cascodes des circuits analogiques du synthétiseur de fréquences. L'objectif du circuit encadré par le rectangle pointillé est de générer une tension de polarisation cascode $V_{BN,CASC}$ indépendante de I_B et de valeur précise qui imposera une tension V_{DS} au drain du transistor M4 qui soit aussi basse que possible tout le maintenant en saturation [61]. Ceci s'avère essentiel dans un contexte où la plage dynamique des circuits est très restreinte par la basse tension d'alimentation.

Dans ce circuit, le transistor M1 est connecté en diode ; il opère donc en saturation et sa composante de courant avant I_F est largement supérieure à sa composante de courant inverse I_R . Ceci implique que le courant dans M1 est égal à $I_1 \approx I_{F1} = I_B/K$. Aussi, le transistor M2 partage son drain avec la source du transistor M1 de sorte que $V_{D2} = V_{S1}$. Leurs grilles étant connectées ensemble, leur tension de grille V_G est identique. Puisque le transistor M1 est m fois plus large que le transistor M2, nous avons que $W_{M1} = mW_{M2}$, et les équations 3.1 et 3.2 indiquent que $I_{F1} = mI_{R2}$. Enfin, un courant I_B est injecté dans le drain du transistor M2 via M5. En rappelant que le courant total circulant dans le canal de M2 est défini comme $I_{D2} = I_{F2} - I_{R2}$, nous trouvons que le degré de saturation du transistor M2 est donné par :

$$\frac{I_{F2}}{I_{R2}} = \frac{I_{D2} + I_{R2}}{I_{R2}} = \frac{I_B + I_B/K + I_B/m.K}{I_B/m.K} = 1 + m(1 + K)$$

Ce résultat est important : le circuit de la figure 3.5 permet de fixer le degré de saturation du transistor source commune d'un étage cascode, et donc son $V_{DS,SAT}$, à partir du facteur d'échelle

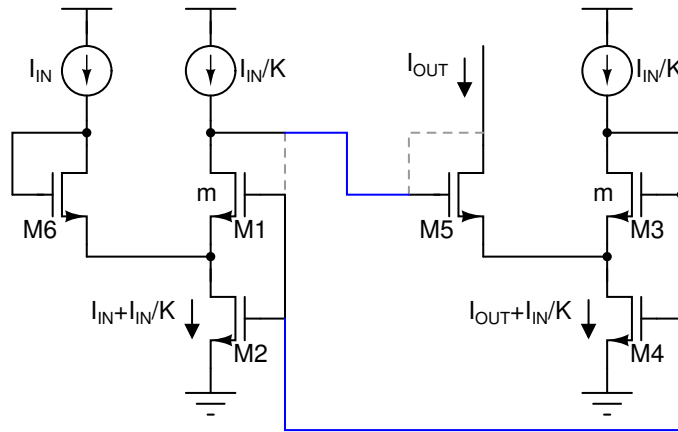


FIGURE 3.6 Construction du nouveau miroir de courant à haute impédance de sortie.

de courant K et de la largeur du transistor M1 relative à celle du transistor M2 connecté à sa source, avec qui il partage la même tension de grille.

3.3 Architecture et opération du miroir de courant proposé

La construction du miroir de courant proposé dans ce chapitre est illustrée à la figure 3.6. Le miroir est formé de deux instances du circuit de polarisation cascode à bas voltage (figure 3.5) placées dans une boucle de rétroaction négative. Plus précisément, la connection grille-drain du transistor M1 est enlevée, et son drain est plutôt connecté à la grille du transistor M5 de la deuxième instance du circuit de polarisation cascode. En retour, la tension de grille des transistor M3 et M4, connectés en diode et en série avec la source de courant I_{IN}/K , est ramenée aux grilles des transistors M1 et M2. Les transistors M1-M2 sont connectés dans une configuration appelée *auto-cascode*. En termes simplifiés, la tension au drain de M1 est stable uniquement si la tension de polarisation fournie par les grilles de M3 et M4 lui permet de drainer le courant I_{IN}/K . La seule valeur de courant de sortie permettant de satisfaire cette condition est lorsque I_{OUT} est égal à I_{IN} . Comme nous le verrons, le gain de rétroaction très élevé ainsi que le maintien du transistor M4 à la limite de la saturation grâce au choix approprié des ratios de courants I_{IN} et I_{IN}/K résultent en une plage dynamique de sortie très large.

Voyons maintenant de façon plus détaillée comment cette configuration de circuit permet de copier précisément le courant d'entrée I_{IN} à la sortie. En référence à la figure 3.7, supposons que le courant de sortie I_{OUT} est inférieur au courant I_{IN} qui est appliqué dans le drain du transistor M1 ($I_{IN} > I_{OUT}$). Le transistor M2 est alors polarisé par la tension de grille de M2-M4 pour drainer

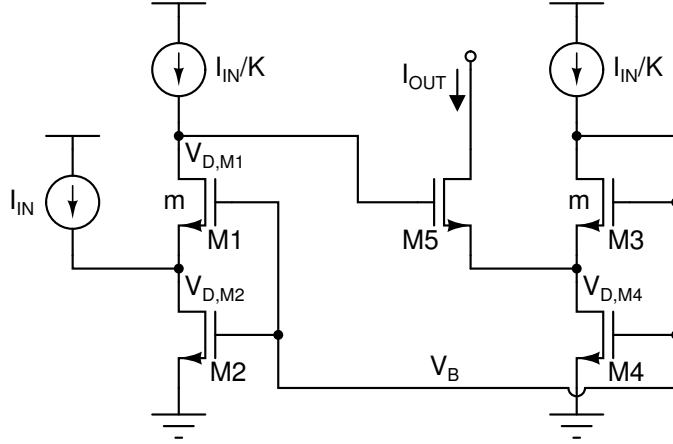


FIGURE 3.7 Miroir de courant proposé.

un courant égal à I_{OUT} ; une tension de polarisation qui s'avère insuffisante pour que M2 draine le courant I_{IN} injecté à son drain. Ceci entraîne une augmentation rapide de sa tension de drain dû au phénomène de modulation de canal afin d'accommoder le courant total de $I_{IN} + I_{IN}/K$. La tension grille-source du transistor M1 diminue alors, résultant en une augmentation rapide de sa tension de drain $V_{D,M1}$ dû au courant I_{IN}/K imposé par la source de courant. La tension de drain de M1 étant appliquée à la grille du transistor de sortie M5, le courant I_{OUT} à la sortie augmente et il en est de même pour la tension de polarisation aux grilles de M3-M4, qui est égale à la somme de la tension de drain de M4 et de la tension grille-source de M3 : $V_G = V_{D,M4} + V_{GS,M3}$. Le nouvel état d'équilibre est atteint lorsque le courant de drain du transistor M4 est égal à $I_{IN} + I_{IN}/K$, de telle sorte que le courant sortant de la source de M1 est égal à $I_{D,M2} - I_{IN} = I_{IN}/K$. À ce point, le degré de saturation des transistors M2 et M4 est égal à $I_{F2}/I_{R2} = I_{F4}/I_{R4} = 1 + m(1 + K)$, et les équations 3.1 et 3.2 indiquent que leurs tensions de drain sont aussi égales. La symétrie du miroir de courant formé par M2 et M4 est donc maintenue et aucun décalage de courant n'affecte le courant de sortie ; I_{OUT} est donc égal à I_{IN} .

3.3.1 Résistance de sortie incrémentale à basse fréquence

La résistance de sortie du miroir de courant proposé est trouvée en appliquant une source de tension de test v_x à la sortie, et en mesurant le courant i_x résultant dans le port de sortie, tel qu'illustré à la figure 3.8. Le courant i_x circulant dans le transistor de sortie M5 est donné par :

$$i_x = \frac{v_x - v_{d4}}{r_{o5}} + g_{m5}v_{gs5} \quad (3.3)$$

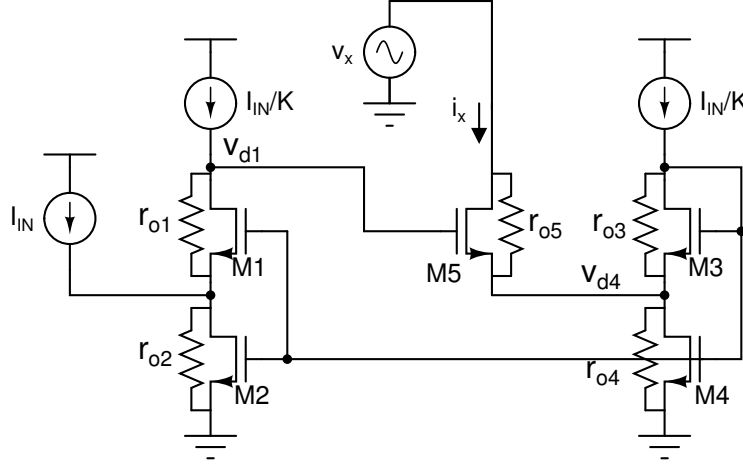


FIGURE 3.8 Circuit utilisé pour le calcul de la résistance de sortie du miroir de courant proposé.

Avec $v_{gs5} = v_{d1} - v_{d4}$ et $v_{d4} = i_x / (g_{m4} + g_{o4})$, nous trouvons que :

$$i_x = \frac{v_x}{r_{o5}} - \frac{i_x}{r_{o5}(g_{m4} + g_{o4})} + g_{m5}v_{d1} - \frac{g_{m5}}{g_{m4} + g_{o4}}i_x \quad (3.4)$$

Maintenant, nous allons trouver la relation entre la tension signal de rétroaction v_{d1} et la tension signal v_{d4} au drain du transistor M4 servant à échantillonner le courant de sortie du miroir. D'un point de vue signal, la tension à la grille du transistor M3 suit la tension v_{d4} et M3 peut être considéré comme un décaleur de niveau (*level shifter*). Le signal de tension v_{d4} est donc appliqué aux grilles des transistors M1 et M2 qui partagent la même tension de grille. La combinaison des transistors M1, M2 et de la source de courant I_{IN}/K forment un étage d'amplification dont la configuration est appelée *auto-cascode*. Afin de compléter le calcul de la résistance de sortie du miroir de courant proposé, le gain de tension v_{d1}/v_{d4} de cet étage auto-cascode doit d'abord être trouvé.

Calcul du gain petit signal v_{d1}/v_{d4} de l'étage d'amplification auto-cascode — L'étage d'amplification formé par M1, M2 et la source de courant I_{IN}/K dans le miroir de courant proposé est illustré à la figure 3.9. Ce circuit permet d'obtenir un gain de tension du même ordre que l'étage cascode conventionnel, sans toutefois nécessiter de source de polarisation supplémentaire. Dans ce circuit, le transistor cascode M1 est plus large que le transistor M2 et son gain de transconductance est supérieur. Le transistor M1, quant à lui, est à la limite de la saturation ; sa tension drain-source est très basse. Le courant de drain du transistor M2 est donné par :

$$i_d = g_{m2}v_{d4} + g_{o2}v_s \quad (3.5)$$

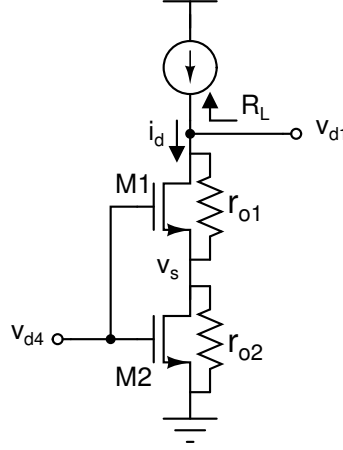


FIGURE 3.9 Calcul du gain à basse fréquence de l'étage auto cascode.

Ce courant est aussi égal au courant de drain de M1, qui est donné par :

$$i_d = g_{m1}(v_{d4} - v_s) + g_{o1}(v_{d1} - v_s)$$

Avec $v_{d1} = -R_L i_d = -i_d/G_L$, nous trouvons que :

$$v_s = \frac{g_{m1}v_{d4} - i_d(1 + g_{o1}/G_L)}{g_{m1} + g_{o1}}$$

En introduisant ce résultat dans l'équation 3.5, nous obtenons :

$$i_d = g_{m2}v_{d4} + \frac{g_{o2}}{g_{m1} + g_{o1}} \left[g_{m1}v_{d4} - i_d \left(1 + \frac{g_{o1}}{G_L} \right) \right]$$

Après quelques manipulations, nous trouvons que le gain de transconductance i_d/v_{d4} de l'étage auto-cascode est donné par :

$$\frac{i_d}{v_{d4}} = \frac{(g_{m1}g_{m2} + g_{m1}g_{o2} + g_{m2}g_{o1})G_L}{(g_{m1} + g_{o1} + g_{o2})G_L + g_{o1}g_{o2}}$$

Et, finalement, nous trouvons que le gain de tension est donné par :

$$\frac{v_{d1}}{v_{d4}} = -R_L i_d = -\frac{g_{m1}g_{m2} + g_{m1}g_{o2} + g_{m2}g_{o1}}{(g_{m1} + g_{o1} + g_{o2})G_L + g_{o1}g_{o2}} \quad (3.6)$$

Tel que le montre cette équation, le gain de tension de l'étage auto-cascode est du même ordre de grandeur que celui de l'étage cascode conventionnel, soit de $g_m^2 r_o^2$, si l'on considère que la conductance G_L de la source de courant tend vers zéro.

L'équation 3.3.1 nous permet maintenant d'établir la relation entre la tension v_{d1} et le courant de test i_x , en utilisant $v_{d4} = i_x / (g_{m4} + g_{o4})$:

$$v_{d1} = -\frac{g_{m1}g_{m2} + g_{m1}g_{o2} + g_{m2}g_{o1}}{(g_{m1} + g_{o1} + g_{o2})G_L + g_{o1}g_{o2}} \cdot \frac{i_x}{g_{m4} + g_{o4}} \quad (3.7)$$

En utilisant cette expression de v_{d1} dans l'équation 3.4, nous obtenons :

$$r_{out} = \frac{v_x}{i_x} = r_{o5} \left[1 + \frac{g_{m5} + g_{o5}}{g_{m4} + g_{o4}} + \frac{g_{m5}}{g_{m4} + g_{o4}} \cdot \frac{g_{m1}g_{m2} + g_{m1}g_{o2} + g_{m2}g_{o1}}{(g_{m1} + g_{o1} + g_{o2})G_L + g_{o1}g_{o2}} \right]$$

Si nous supposons que la résistance de sortie des sources de courant I_B et I_{IN} est infinie ($G_L \rightarrow 0$), et que nous faisons l'approximation que $(g_{m5} + g_{o5}) / (g_{m4} + g_{o4}) \approx 1$ et que $g_{m1}g_{o2} + g_{m2}g_{o1} \ll 1$, alors nous trouvons que la résistance de sortie du miroir de courant est approximativement donnée par :

$$r_{out} \approx \frac{g_{m1}g_{m2}g_{m5}}{g_{m4} + g_{o4}} \cdot r_{o1}r_{o2}r_{o5} \quad (3.8)$$

où g_{m1} , g_{m2} , g_{m4} , g_{m5} et g_{o1} , g_{o2} , g_{o4} , g_{o5} sont respectivement les transconductances et les conductances de sortie des transistors M1, M2, M4 et M5. Dans le cas où le transistor M4 est polarisé plus profondément en saturation, alors g_{o4} est largement inférieur à g_{m4} et la résistance de sortie du miroir de courant peut être simplifiée comme suit :

$$r_{out} \approx g_{m1}g_{m2}r_{o1}r_{o2}r_{o5} \quad (3.9)$$

L'utilisation d'une structure auto-cascode dans la boucle de rétroaction du miroir proposé résulte donc en une augmentation d'un facteur $g_m r_o$ de la résistance de sortie du miroir proposé par rapport à celle du miroir *high-swing super-Wilson*. La résistance du miroir de courant proposé du même ordre de grandeur que celle du miroir cascode régulé, mais sa plage dynamique de sortie est supérieure, comme nous le verrons dans ce qui suit.

3.3.2 Plage dynamique de sortie

La plage dynamique d'un miroir de courant représente la plage de tension de sortie pour laquelle le courant de sortie I_{OUT} est une copie fidèle du courant d'entrée I_{IN} . Puisque le gain de transconductance g_{m5} du transistor de sortie M5 du miroir proposé est beaucoup plus élevé que sa conductance de sortie g_{o5} , la tension de correction requise pour compenser pour une variation de tension à la sortie du miroir est relativement faible. Ceci demeure vrai jusqu'à ce que la tension de sortie soit si basse que le transistor de sortie M5 sorte de saturation et entre dans la région de triode, où sa

conductance de sortie g_o et sa transconductance g_m sont du même ordre de grandeur. À ce point, le gain de boucle très élevé du drain de M4 (l'endroit où le courant est échantillonné) jusqu'à la grille du transistor de sortie M5 permet au miroir de courant de maintenir une résistance de sortie élevée même lorsque le transistor de sortie entre en triode. Par contre, si la tension de sortie continue de diminuer, le transistor M4 entre en triode à son tour et la résistance de sortie du miroir tout comme le courant I_{OUT} diminuent rapidement vers une valeur très faible. Pour une implémentation NMOS, le courant de sortie I_{OUT} du miroir proposé est une copie fidèle du courant d'entrée I_{IN} pour des tensions de sortie allant jusqu'à environ $V_{DS,sat}$ de la masse.

3.3.3 Choix du facteur d'échelle K des sources de courant auxiliaires I_{IN}/K

La valeur du facteur d'échelle K détermine l'amplitude des deux sources de courant auxiliaires I_{IN}/K utilisées dans le miroir de courant proposé influence sa plage dynamique de sortie. La tension de sortie minimale permise afin de maintenir une résistance de sortie élevée est principalement déterminée par la tension de saturation $V_{DS,sat}$ des transistors M2 et M4 qui, en retour, dépend de leur degré de saturation I_F/I_R . Afin que ces transistors copient de façon fidèle le courant d'entrée I_{IN} vers la sortie, ils doivent demeurer en saturation. Autrement dit, la composante avant I_F de leur courant de drain doit être de beaucoup supérieure à leur composante inverse I_R ; $I_F \gg I_R$. Dans le circuit proposé, les transistors cascodes ont un rapport W/L deux fois supérieurs à ceux des transistors en configuration source-commune. Ainsi, le degré de saturation des transistors M2 et M4 est le même et est égal à $I_F/I_R = 1 + 2(1 + I_{IN}/(I_{IN}/K))$. De cette façon, l'utilisation d'un facteur d'échelle de courant de l'ordre de $K = 10$ assure que les transistors M2 et M4 sont tous les deux toujours à la limite de la région de saturation.

3.4 Illustration des performances du nouveau miroir de courant

Dans cette section, des simulations sont utilisées afin d'illustrer les caractéristiques du miroir de courant proposé et ses performances sont comparées avec les miroirs *high-swing super-Wilson* et cascode régulé, deux miroirs de courant d'architecture similaire aussi destinés aux applications à basse tension d'alimentation. Les trois miroirs de courant ont été implémentés à l'aide du procédé CMOS 90-nm 1-V de STMicroelectronics. Tout d'abord, la figure 3.10 montre le courant de sortie du miroir de courant proposé en fonction de la tension de sortie lorsque I_{IN} est varié de 5 μA à 50 μA avec des sauts de 10 μA . I_{OUT} demeure à l'intérieur de 1% de la valeur du courant d'entrée I_{IN} pour une tension aussi basse que 80 mV à un courant de 5 μA , et 111 mV pour un courant d'entrée de 50 μA . La résistance de sortie du miroir de courant proposé est montrée à la figure

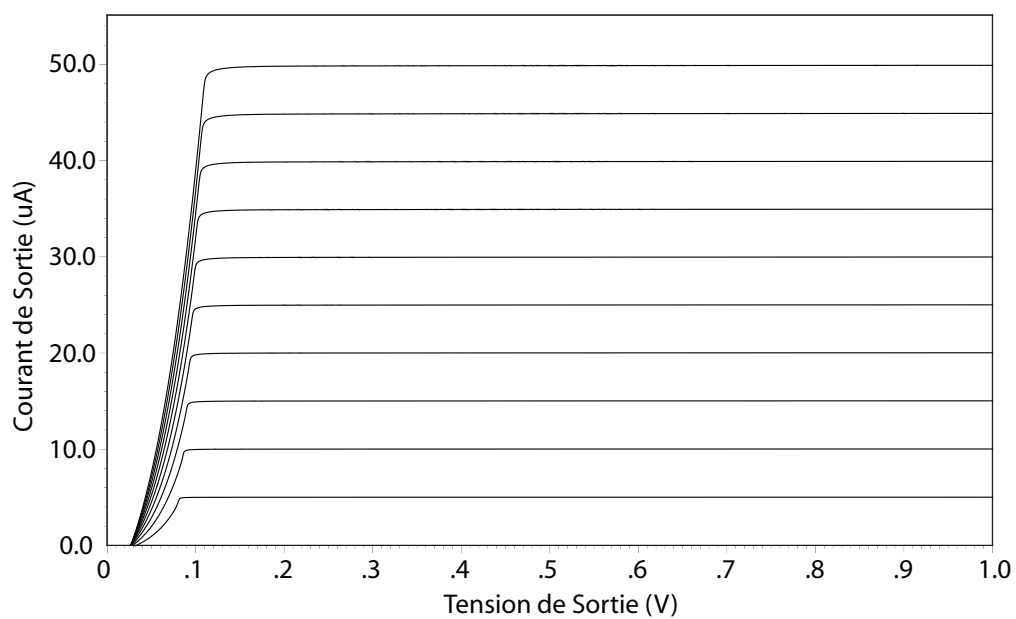


FIGURE 3.10 Variation du courant de sortie du miroir de courant proposé en fonction de V_{OUT} .

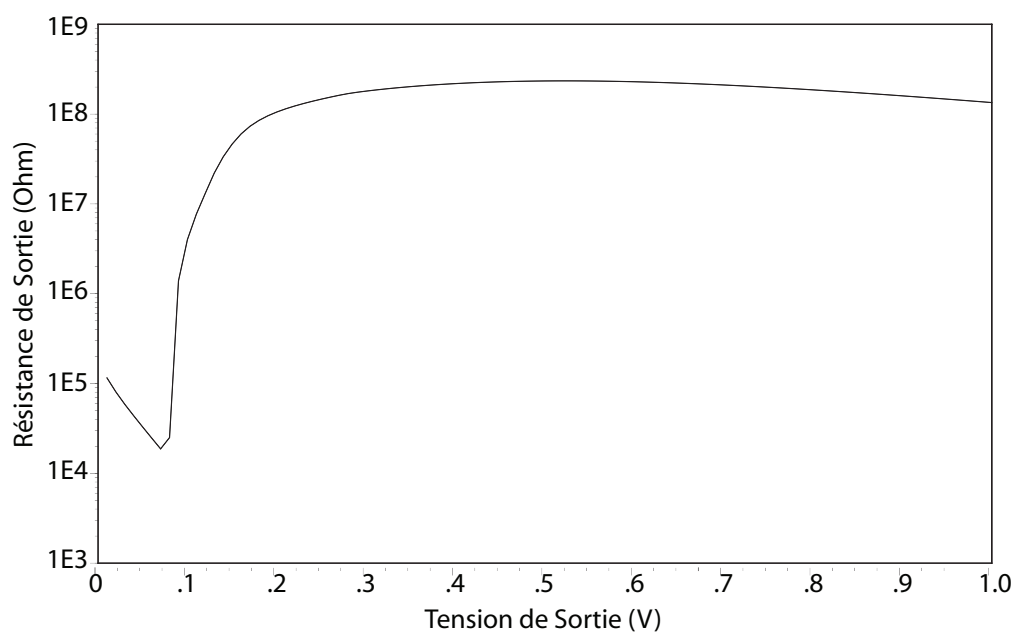


FIGURE 3.11 Résistance de sortie du miroir de courant proposé pour un courant d'entrée de $10 \mu A$.

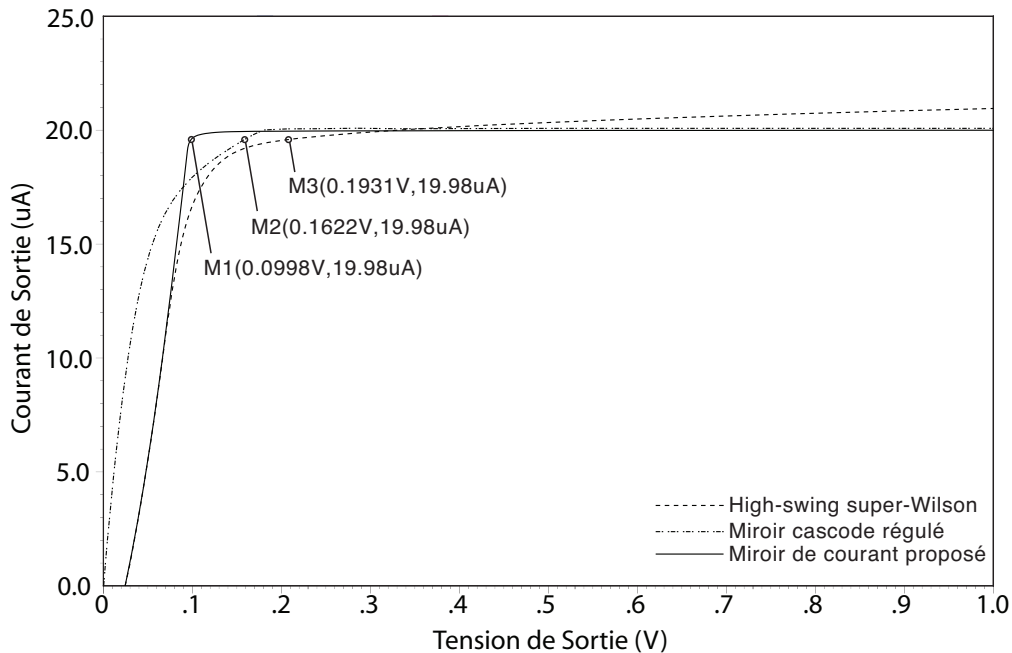


FIGURE 3.12 Comparaison de la variation du courant à la sortie du miroir de courant proposé avec des miroirs d'architecture similaire destinés aux applications à basse tension.

3.11, où elle est tracée en fonction de la tension de sortie et pour un courant d'entrée de $10 \mu\text{A}$. La résistance de sortie augmente rapidement lorsque la tension de sortie V_{OUT} dépasse 100 mV et atteint une valeur maximale d'environ $200 \text{ M}\Omega$ à $V_{OUT} = 500 \text{ mV}$.

Enfin, la figure 3.12 montre le courant de sortie en fonction de la tension de sortie du miroir *high-swing super-Wilson* [59], du miroir cascode régulé [58] et du miroir de courant développé dans le cadre de ce projet. Les trois miroirs ont été implémentés en utilisant des transistors de taille identique et ont été polarisés de façon à atteindre une bande passante de 200 MHz. Le courant d'entrée a été fixé à $20 \mu\text{A}$, et la tension de sortie a été variée de 0 V à 1 V. Tel que l'illustre la figure, la résistance de sortie du miroir cascode régulé et du miroir proposé est significativement plus élevée que celle du miroir *high-swing super-Wilson* dû au gain plus élevé de la boucle de rétroaction. De plus, cette figure montre que le miroir de courant proposé surpasse les deux autres miroirs de courants en ce qui a trait à la plage dynamique de sortie.

3.5 Conclusion

Dans ce chapitre, nous avons présenté un nouveau miroir de courant CMOS à résistance de sortie très élevée destiné aux applications à basse tension d'alimentation. L'architecture du miroir de

courant a été conçue à l'aide de la formulation symétrique des composantes de courant d'un transistor MOS et en exploitant la notion de degré de saturation I_F/I_R afin de fixer de façon précise les tensions V_{DS} des transistors. Les transistors effectuant la copie du courant de l'entrée à la sortie sont maintenus à un niveau de saturation identique, près de la limite de la saturation, de façon à obtenir un transfert de courant précis et ce sur une plage de tension de sortie étendue. La résistance incrémentale de sortie du miroir de courant proposé est supérieure d'un facteur $g_m r_o$ par rapport à celle du miroir *high-swing super-Wilson*. Elle est du même ordre de grandeur que celle du miroir cascode régulé, mais la plage dynamique du miroir proposé est supérieure d'environ 10%. Dans le prochain chapitre, ce miroir de courant servira de base pour la conception d'une pompe de charges CMOS à impédance et plage dynamique de sortie très élevées.

CHAPITRE 4

PFD ET NOUVELLE POMPE DE CHARGES CMOS

Tel que discuté au chapitre 2, le rôle du détecteur de phase/fréquence (*Phase-Frequency Detector* - *PFD*) est de fournir des signaux de commande UP et DN afin de contrôler les impulsions de courant que la pompe de charges dépose ou soutire du filtre de boucle. Ces signaux de contrôle dépendent de l'intervalle de temps séparant les fronts montants du signal de référence f_{REF} et du signal de rétroaction f_{DIV} fourni par le diviseur programmable. Ils sont proportionnels à la différence de fréquence si f_{REF} est différente de f_{DIV} ou à la différence de phase si la PLL est verrouillée. La pompe de charges ainsi que le filtre de boucle convertissent les signaux de commande du PFD en une tension de contrôle pour le VCO. Dans ce chapitre, nous présentons le comparateur phase/fréquence utilisé dans le synthétiseur proposé, ainsi que l'architecture d'une nouvelle pompe de charges (*Charge Pump* - *CP*) destinée aux PLL à basse tension d'alimentation implémentées dans un procédé CMOS nanométrique.

4.1 Détecteur de phase et de fréquence (PFD) et pompe de charges (CP)

L'architecture du détecteur de phase/fréquence implémenté dans le synthétiseur de fréquences est montrée à la figure 4.1(a). Le circuit est constitué de deux bascules-D fonctionnant sur les fronts montants de l'horloge CK , dont les entrées de données D sont connectées au niveau logique haut (V_{DD}). Les signaux de fréquence f_{REF} et f_{DIV} agissent sur les entrées d'horloge des bascules. Le signal de réinitialisation des deux bascules (*reset*) est contrôlé par la sortie de la porte logique ET qui a pour entrées les signaux UP et DN ; les sorties des bascules-D. Lorsque les sorties UP et DN sont égales à 0, une transition haute du signal de fréquence f_{REF} provoque la commutation de la bascule correspondante, forçant ainsi la sortie UP au niveau haut. Donc, toute nouvelle transition du signal de fréquence f_{REF} n'aura aucun effet sur le circuit, l'entrée D de la bascule étant connectée à V_{DD} . Puis, lorsque le signal de rétroaction f_{REF} provenant du diviseur de fréquence passe au niveau haut à son tour, la sortie de la porte ET passe du niveau logique bas à haut et les bascules D sont réinitialisées.

Un délai de propagation est volontairement introduit dans la boucle de réinitialisation des bascules-D afin que les signaux UP et DN contrôlant la pompe de charges soient temporairement au niveau haut simultanément. Dans l'implémentation qui est proposée ici, un réseau passif RC est utilisé

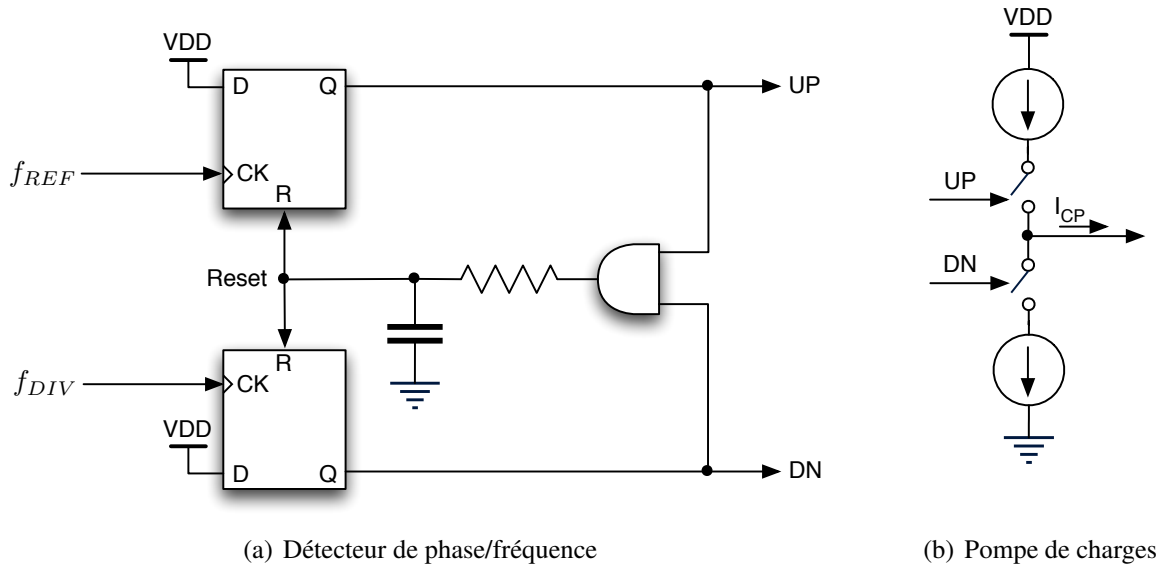
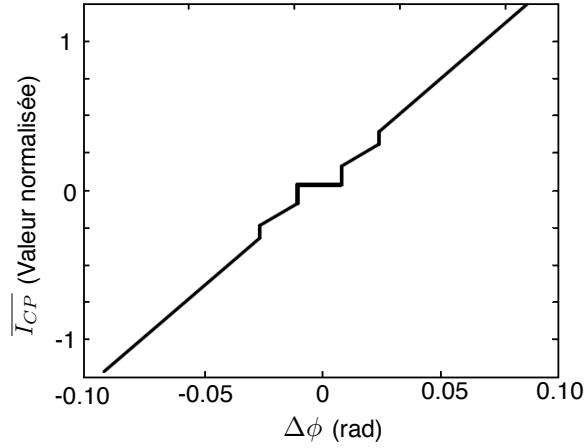


FIGURE 4.1 Détecteur de phase/fréquence (PFD) et pompe de charges (CP).

afin d'introduire ce délai sans augmenter inutilement la consommation de puissance. Ce délai de réinitialisation des bascules est essentiel afin d'éliminer la zone morte du PLL (*dead zone*), qui est principalement causée par le temps de réponse non nul de la pompe de charges. Lorsque la PLL est stable et que la différence de phase entre les signaux f_{REF} et f_{DIV} tend vers zéro, la durée des impulsions des signaux de contrôles UP et DN est si courte que la pompe de charges est incapable de réagir, et elle n'arrive pas à fournir ou à soutirer la quantité de charges du filtre de boucle requise pour corriger l'erreur de phase et présenter la tension moyenne correcte au VCO. Tel que l'illustre la figure 4.2(a), le courant moyen fourni par la pompe de charges est nul autour de $\Delta\phi = 0$ et la boucle de rétroaction de la PLL est à toute fin pratique ouverte, laissant alors le VCO osciller de façon libre sans que son bruit de phase ne puisse être filtré.

Grâce au délai introduit dans le chemin du signal de réinitialisation des bascules, les signaux de contrôles UP et DN demeurent actifs simultanément pour une durée minimale non-nulle t_{min} , et la quantité de charges déposée ou soutirée du filtre de boucle est directement proportionnelle à la *différence de la largeur d'impulsion* de ces deux signaux de commande. Si les deux commutateurs de la pompe de charges ainsi que les sources de courant UP et DN étaient parfaitement appariées, l'introduction de ce délai Δt_r n'aurait aucun impact sur la tension du filtre de boucle : les courants I_{UP} et I_{DN} seraient parfaitement égaux, et le courant total I_{CP} à la sortie de la pompe de charges serait nul. Toutefois, et comme l'illustre la figure 4.2(b), toute différence d'amplitude entre les composantes de courant UP et DN de la pompe de charges résulte en un dépôt de charges non nul sur le filtre de boucle durant Δt_r , et donc en une variation de la tension de contrôle du VCO.



(a) Zone morte d'un PFD.

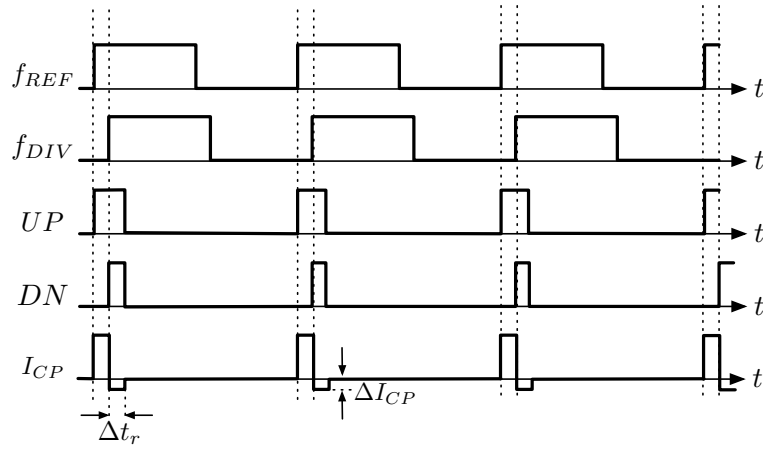
(b) Élimination de la zone morte en introduisant un délai de réinitialisation des bascules d'une durée Δt_r .

FIGURE 4.2 Élimination de la zone morte d'un PFD.

Puisque ce dépôt de charges survient de façon périodique à chaque fois que les signaux f_{REF} et f_{DIV} sont comparés, il en résulte une modulation déterministe de la tension au noeud V_{CTRL} du VCO, et donc ultimement en des tonalités indésirables (*spurs*) autour de la porteuse, et ce à des multiples entiers de ω_{REF} , la fréquence de référence.

Enfin, les courants de la pompe de charges doivent non seulement satisfaire $I_{UP} = |I_{DN}|$ et ainsi limiter la génération de tonalités parasites dans le spectre de sortie du synthétiseur, mais aussi être constants en valeur absolue sur la plage de tension de contrôle du VCO afin de ne pas affecter le comportement dynamique de la PLL. Cependant, la solution à ce problème n'est pas triviale étant donnée la faible tension d'alimentation ainsi que la résistance de sortie limitée des transistors nanométriques qui compliquent la conception des sources de courant à haute impédance requises

dans la pompe de charges. La plage dynamique à la sortie de la pompe de charges, c'est à dire la plage de tension sur laquelle I_{UP} et I_{DN} sont identiques, doit être maximisée afin de réduire le gain K_{VCO} du VCO au minimum possible et ainsi minimiser sa contribution au bruit de phase. Intuitivement, plus K_{VCO} est élevé, plus importante est la variation de fréquence causée par le bruit sur la tension de contrôle V_{CTRL} . Le gain du VCO doit tout de même permettre de couvrir la bande de fréquence visée tout en laissant assez de marge pour supporter les variations de procédé et la tolérance des composants passifs du résonateur LC . Lorsque la tension d'alimentation est très basse, la minimisation du gain du VCO par l'élargissement de la plage dynamique de contrôle du VCO place donc une contrainte sévère sur la pompe de charges : les courants I_{UP} et I_{DN} doivent être égaux et garder la même valeur jusqu'à des tensions de sortie s'approchant des rails d'alimentation. Par exemple, lorsque la tension d'alimentation est de l'ordre de 1 V, l'augmentation de la résistance de sortie de la pompe de charges en utilisant des étages cascodes wide-swing résulte en une plage de tension de contrôle de l'ordre de 500 mV seulement, puisque que les étages cascodes PMOS et NMOS nécessitent environ 250 mV de dégagement des alimentations chacun afin de demeurer en saturation [62].

Dans les sections qui suivent, une nouvelle architecture de pompe de charges CMOS destinée aux boucles à verrouillage de phase à faible tension d'alimentation et faible puissance est proposée afin de mitiger les difficultés mentionnées précédemment. La configuration de pompe de charges proposée résulte en un courant de sortie dont la magnitude est constante et le non-appariement entre les courants I_{UP} et I_{DN} est minimal et ce jusqu'à environ 125 mV des rails d'alimentation, tout en minimisant la consommation de puissance et la complexité des circuits. Aussi, le niveau des impulsions de courant indésirables (*glitches*) lors de l'activation et la mise hors circuit des commutateurs est très faible grâce au maintien de la tension aux grilles des transistors de sortie à une valeur pratiquement constante entre les différents états de la pompe de charges.

4.1.1 Pompes de charges proposées dans la littérature

La figure 4.3 illustre une approche couramment utilisée afin d'éliminer les disparité entre les courants I_{UP} et I_{DN} de la pompe de charges. Un amplificateur opérationnel est utilisé afin de maintenir la tension de drain des transistors de sortie M6 et M7 égale à celle présente au drain du transistor M3 de la source de courant de référence [63]. Les courants I_{UP} et I_{DN} résultants sont extrêmement bien appariés, mais cette configuration n'empêche pas la magnitude du courant de varier en fonction de la tension DC du filtre de boucle. En effet, lorsque la tension à la sortie de la pompe de charges est très basse, le courant de référence I_{REF} — et par conséquent I_{OUT} — diminue significativement dû à la modulation de canal, et l'inverse survient lorsque la tension du filtre de boucle

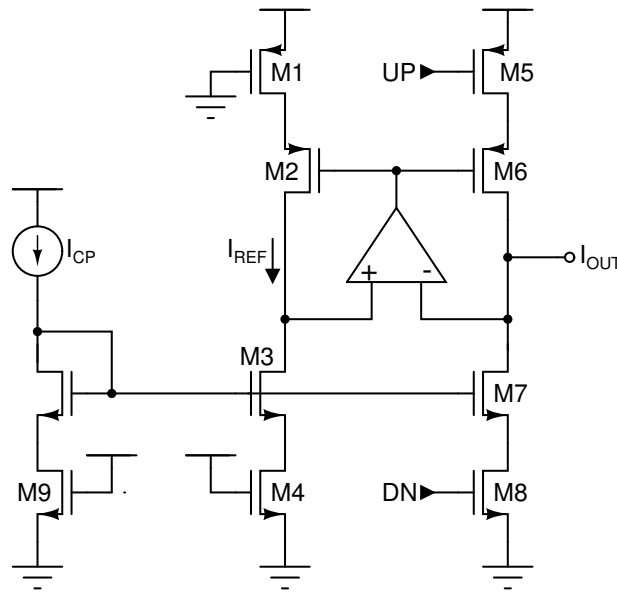


FIGURE 4.3 Utilisation d'un amplificateur opérationnel pour appairer les courants I_{UP} et I_{DN} d'une pompe de charges.

s'approche de V_{DD} . De plus, cette configuration requiert un amplificateur opérationnel qui puisse opérer jusqu'à chaque rail d'alimentation, puisque l'appariement n'est maintenu que dans la plage de gain élevé de l'amplificateur.

Une pompe de charges utilisant un circuit de renforcement de gain (*gain boosting*) afin d'augmenter la résistance de sortie des sources de courant a été présentée dans [64]. Le schéma électronique de cette pompe de charges est illustré à la figure 4.4. La section servant à générer le courant I_{UP} , fonctionnellement identique à la section drainant un courant I_{DN} , a été dessinée en utilisant un ton plus pâle afin de faciliter la compréhension du circuit. La magnitude du courant de sortie I_{DN} (I_{UP}) de cette pompe de charges est déterminée par la résistance (r_{ON}) du transistor S1 utilisé comme commutateur de contrôle. En effet, le courant I_{DN} se stabilise à une valeur telle que la chute de tension dans S1, qui polarise le transistor source-commune M2, lui permette de drainer le courant I_{BIAS} imposé par la source de courant M5. La résistances r_{ON} des commutateurs de la pompe de charges agit donc comme résistance de référence sur le circuit de renforcement du gain. Les commutateurs S1 et S2 doivent être conçus avec soin de façon à ce que les résistances r_{ON} soient identiques, sans quoi les courants I_{UP} et I_{DN} ne seront pas appariés. Enfin, les auteurs dans [65] ont proposé une pompe de charges pour les PLLs à basse tension d'alimentation qui combine un dédoublement du circuit de polarisation et une structure de rétroaction. L'appariement des courants I_{UP} et I_{DN} est amélioré sur une grande plage de tension de sortie, mais le circuit est très complexe et le dédoublement du circuit de polarisation double la consommation de puissance du circuit.

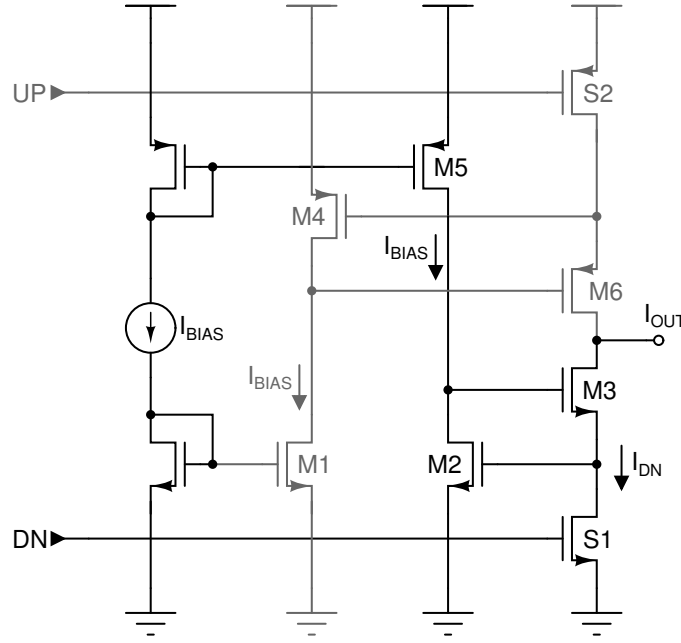


FIGURE 4.4 Pompe de charges à renforcement de gain.

4.2 Nouvelle pompe de charges CMOS

Dans cette section, nous présentons l'architecture de la nouvelle pompe de charges qui a été implémentée dans le synthétiseur de fréquences. La conception de ce circuit a été motivée par le besoin d'une pompe de charges en technologie CMOS nanométrique qui puisse offrir une magnitude de courant constante et une disparité minimale entre les courants I_{UP} et I_{DN} sur une plage de tension de sortie maximale, tout en maintenant une consommation de puissance et une complexité aussi basse que possible. La pompe de charges qui a été développée dans le cadre de ce projet de recherche est basée sur une adaptation du nouveau miroir de courant présenté dans le chapitre précédent, et son schéma électronique est montré à la figure 4.5. La partie inférieure de la pompe de charges est utilisée pour drainer un courant I_{DN} , alors que la partie supérieure, dessinée en gris pâle afin de ne pas alourdir inutilement la description du circuit, source un courant I_{UP} de même amplitude hors du nœud I_{OUT} .

Considérons la partie inférieure de la pompe de charges, servant à drainer un courant I_{DN} . Deux éléments distinguent le circuit de la pompe de charges montrée à la figure 4.5 du miroir de courant proposé au chapitre précédent. Premièrement, les commutateurs MOS S1 et S2 ont été ajoutés afin d'activer ou de désactiver le courant de sortie I_{OUT} . Ces commutateurs sont contrôlés par le signal de commande DN en provenance du détecteur de phase/fréquence présenté précédemment. Ensuite, le transistor M1 n'est pas connecté en configuration auto-cascode comme dans le miroir

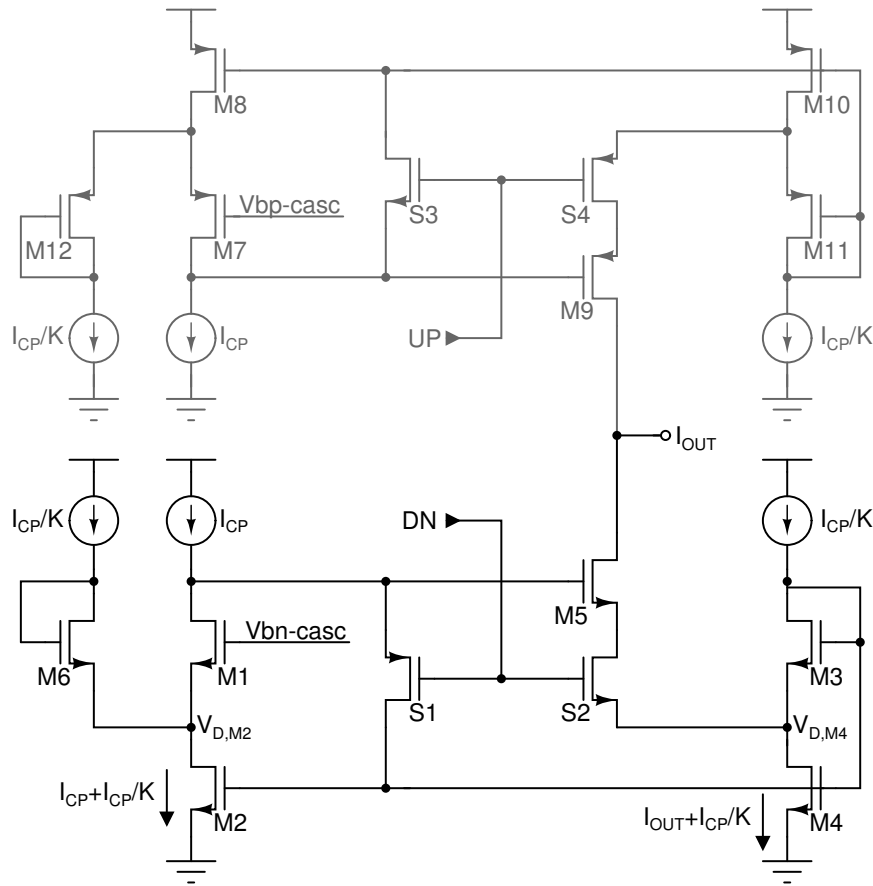


FIGURE 4.5 Schéma électronique de la pompe de charges CMOS proposée.

du chapitre précédent, mais sa grille est plutôt connectée à une tension de polarisation cascode. Comme nous l'expliquerons sous peu, ceci accélère la réponse transitoire de la pompe de charges lors de la commutation de S1 et S2.

4.3 Fonctionnement de la pompe de charges proposée

Le commutateur S2 est fermé : La pompe de charges est activée — Lorsque le signal DN passe au niveau logique haut, le commutateur NMOS S2 est fermé alors que le commutateur PMOS S1 est ouvert. Comme pour le miroir de courant proposé au chapitre précédent, le courant de sortie I_{OUT} est échantillonné au drain du transistor M4, et est copié par le miroir M2-M4 afin d'être comparé avec le courant d'entrée I_{CP} . La connection cascode du transistor M1 résulte en une impédance très élevée au drain de M1, et résulte donc en une variation très abrupte de la tension à ce noeud si I_{OUT} n'est pas égal à I_{CP} . Cette tension de correction étant appliquée à la grille du

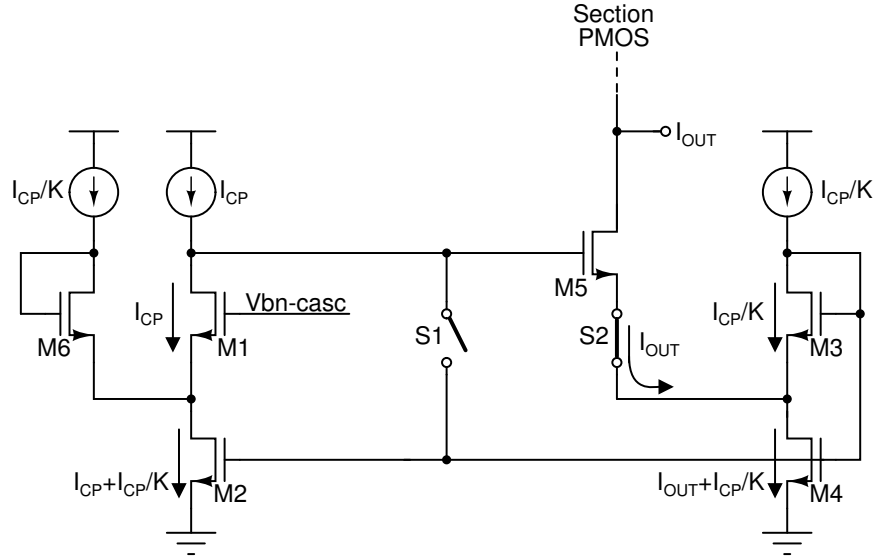


FIGURE 4.6 Courants dans la pompe de charges lorsque le commutateur S2 est fermé.

transistor de sortie M5, le gain très élevé de la boucle de rétroaction négative force le courant I_{OUT} à être égal à I_{CP} . Toutefois, ce raisonnement n'est valide que si la tension au drain du transistor M2 est égale à celle du transistor M4, sinon un décalage DC apparaîtra dans le courant de sortie I_{OUT} . Afin d'éliminer ce décalage de courant, il est impératif que la tension de polarisation cascode $V_{bn-casc}$, qui polarise le transistor M1, soit telle que la tension au drain de M2 soit exactement identique à celle au drain de M4. Autrement dit, il faut que $V_{bn-casc} - V_{GS,M1} = V_{DS,M2} = V_{DS,M4}$. Le commutateur CMOS S2 a une longueur de canal minimale et une largeur suffisante afin de minimiser sa résistance r_{ON} lorsqu'il est en conduction, de telle sorte que la chute de tension qu'il engendre est inférieure 5 mV et ainsi maintenir la symétrie entre les branches d'entrée et de sortie. Le circuit de polarisation cascode présenté au chapitre précédent est utilisé pour polariser le transistor M1.

Polarisation du transistor cascode M1 — Tel qu'il l'a été mentionné plus tôt, le transistor M1 n'est pas connecté en configuration auto-cascode comme dans le miroir de courant présenté au chapitre précédent, mais sa grille est plutôt connectée à une tension de polarisation cascode provenant du circuit de polarisation du circuit intégré. Cette modification est désirable dans le cas de la pompe de charges, car le fait que la grille du transistor M1 soit toujours maintenue à la tension de polarisation cascode accélère la réponse transitoire du courant I_{OUT} lors des commutations. En effet, la grille du transistor M1 n'a plus à être chargée et déchargée par la source de courant de faible valeur I_{CP}/K qui est connectée au drain de M3, augmentant du coup le *slew rate* étant donnée la réduction de la capacité totale à charger. Toutefois, le transistor M1 n'étant plus connecté

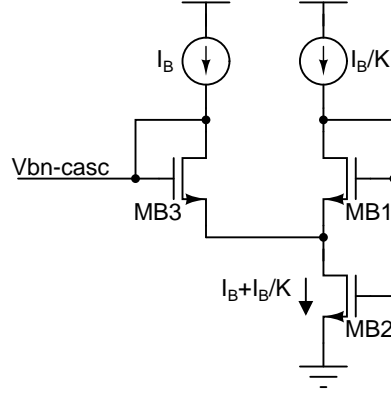


FIGURE 4.7 Circuit générant la tension de polarisation cascode $V_{bn-casc}$.

en configuration auto-cascode, le problème d'appariement des tensions au drain des transistors M2 et M4 refait surface. La tension de polarisation du transistor cascode M1 doit être choisie de telle sorte que la tension à source de ce transistor soit égale à la tension au drain de M4. Cette tension de polarisation cascode est générée à l'aide du circuit montré à la figure 4.7. Le choix approprié des courants I_B et I_B/K assure le maintien d'un degré de saturation identique pour M2 et M4 et donc l'appariement de leur tension de drain. Le degré de saturation d'un transistor MOS a été introduit au chapitre précédent : il est défini comme le ratio entre la composante avant du courant I_F et la composante inverse du courant I_R [66]. Si les transistors M2 et M4 ont un degré de saturation identique, alors leur tension drain-source le sera également, et aucun décalage DC n'apparaîtra dans le courant de sortie.

Revenons au circuit de polarisation cascode NMOS à bas voltage montré à la figure 4.7. Ce circuit utilise un diviseur de courant NMOS formé par MB1-MB2 et un transistor connecté en diode MB3 afin de générer une tension de polarisation $V_{bn-casc}$ qui fonctionne à tous les niveaux de courant, allant de l'inversion faible à l'inversion forte [66]. Si tous les transistors ont le même rapport W/L , le degré de saturation du transistor MB2 est donné par :

$$\frac{I_F}{I_R} = 2 + \frac{I_B}{I_B/K} = 2 + K \quad (4.1)$$

et ce peu importe les niveaux de courant représentés par I_B ; K étant un facteur d'échelle constant. Ce résultat est très intéressant, car le degré de saturation du transistor MB2, égal à $2 + K$, est exactement le même que le degré de saturation du transistor M4 de la pompe de charges proposée (figure 4.5) avec $I_{OUT} = I_{IN}$, lorsqu'une source de courant auxiliaire de valeur I_{IN}/K est utilisée. Or, si deux transistors ont le même degré de saturation et que leur densité de courant de canal est identique ($I_D/(W/L)$), alors leur tension de saturation $V_{DS,sat}$ le sera également. En effet, comme

nous l'avons vu au chapitre précédent, l'expression des composantes de courant avant et inverse du transistor MOS est donnée par le modèle EKV [60] :

$$I_{F(R)} = \frac{W}{L} I_S \ln^2 \left(1 + e^{((V_G - V_{T0}) - V_{S(D)})/2nU_T} \right) \quad (4.2)$$

Où $n = (C_{ox} + C_{dep})/C_{ox}$ est le facteur de pente, $U_T = kT/q$ la tension thermique, et V_{T0} est la tension de seuil à une polarisation nulle. Enfin, $I_S = 2n\mu C_{ox} U_T^2$ est le *courant technologique* et est indépendant des conditions de polarisation et des dimensions W/L du transistor. Si l'on définit $A \equiv I_F/I_R$ comme étant le degré de saturation minimal pour qu'un transistor MOS soit en saturation (par exemple $A = 10$), alors la tension de saturation $V_{DS,sat}$ est donnée par la valeur de tension drain-source V_{DS} telle que le degré de saturation I_F/I_R est égal à A :

$$V_{DS,sat} = V_D - V_S \Big|_{I_F/I_R=A} \quad (4.3)$$

En utilisant la paire d'équations représentées par (4.2) avec (4.3), le degré de saturation est donné par :

$$\frac{I_F}{I_R} \equiv A = \frac{\frac{W}{L} I_S \ln^2 \left(1 + e^{((V_G - V_{T0}) - V_S)/2nU_T} \right)}{\frac{W}{L} I_S \ln^2 \left(1 + e^{((V_G - V_{T0}) - V_S - V_{DS,sat})/2nU_T} \right)} \quad (4.4)$$

Cette équation peut être résolue pour $V_{DS,sat}$. Après quelques manipulations, nous trouvons que :

$$V_{DS,sat} = 2U_T \ln \left(\frac{e^{\sqrt{I_F / \left(\frac{W}{L} \cdot I_S \right)} - 1}}{e^{\sqrt{I_F / \left(A \cdot \frac{W}{L} \cdot I_S \right)} - 1}} \right) \quad (4.5)$$

Cette expression indique donc que si deux transistors ont un degré de saturation A identique et que leurs composantes avant $I_F/(W/L)$ de courant de canal sont égales, alors leur tension de saturation drain-source l'est également. En ce qui nous concerne, ce résultat signifie que si la tension de polarisation cascode $V_{bn-casc}$ générée à partir du circuit de polarisation de la figure 4.7 est appliquée à la grille du transistor M1 de la pompe de charges, alors la tension au drain de M2, égale à $V_{bn-casc} - V_{GS,M1}$, sera égale à la tension au drain du transistor MB2 du circuit de polarisation, qui est elle-même exactement égale à celle du transistor M4 de la pompe de charges.

Il est important de mettre l'emphasis sur le fait que le rapport d'aspect (W/L) des transistors de la pompe de charges doivent être mis à l'échelle en fonction de leur courant de drain relativement à ceux des transistors du circuit générant la tension cascode $V_{bn-casc}$, afin d'assurer des densités de courant égales et ainsi maintenir un degré de saturation égal à $2 + K$. Aussi, si la source de courant forçant un courant I_{IN}/K dans le drain de M2 est omise, un décalage égal à I_{IN}/K sera présent dans le courant de sortie I_{OUT} . Enfin, mentionnons que le circuit de génération de la tension

tivement égale dans les branches formées par M1-M2 et M3-M4. Les dimensions du commutateur S1 peuvent donc être sélectionnées de façon à ce que la chute de tension entre son drain et sa source, lorsqu'il est activé, compense pour la réduction de la tension grille-source V_{GS} de M2 résultant de la connection parallèle des branches formées par M1-M2 et par M3-M4. En réduisant les variations de tension à la grille de M5 entre les états actif et haute impédance, les impulsions de courant indésirables à la sortie sont réduites de façon importante et le temps de stabilisation de la pompe de charges est amélioré du même coup. Enfin, la consommation de courant totale de la pompe de charges lorsque la PLL est barrée est égale à $2I_{CP} + 4I_{CP}/K$, puisque dans ce cas le courant I_{OUT} consiste simplement en des impulsions de courant très courtes dont la durée est déterminée par le délai dans le chemin de réinitialisation du détecteur de phase/fréquence.

4.4 Caractéristiques de la pompe de charges

4.4.1 Résistance de sortie

La résistance de sortie en DC de la pompe de charges proposée se calcule de la même façon que pour le miroir de courant présenté au chapitre précédent. La seule différence dans le calcul se situe au niveau de la connection cascode du transistor M1 qui résulte en une légère augmentation du gain de la boucle de rétroaction négative, et donc de la résistance de sortie r_{out} . En assumant que la résistance de sortie des sources de courant I_{CP}/K et I_{CP} est infinie, la résistance de sortie incrémentale de la pompe de charges proposée est donc donnée par :

$$\begin{aligned} r_{out} &= r_{o5} \left(1 + \frac{g_{m5}(1 + g_{m1}g_{m2}r_{o1}r_{o2}) + g_{o5}}{g_{m4} + g_{o4}} \right) \\ &\approx g_{m1}g_{m2}r_{o1}r_{o2}r_{o5} \end{aligned} \quad (4.6)$$

où g_{mi} et g_{oi} sont respectivement les transconductances et les conductances de sortie des transistors de la pompe de charges.

4.4.2 Sources de courant auxiliaires I_{CP}/K

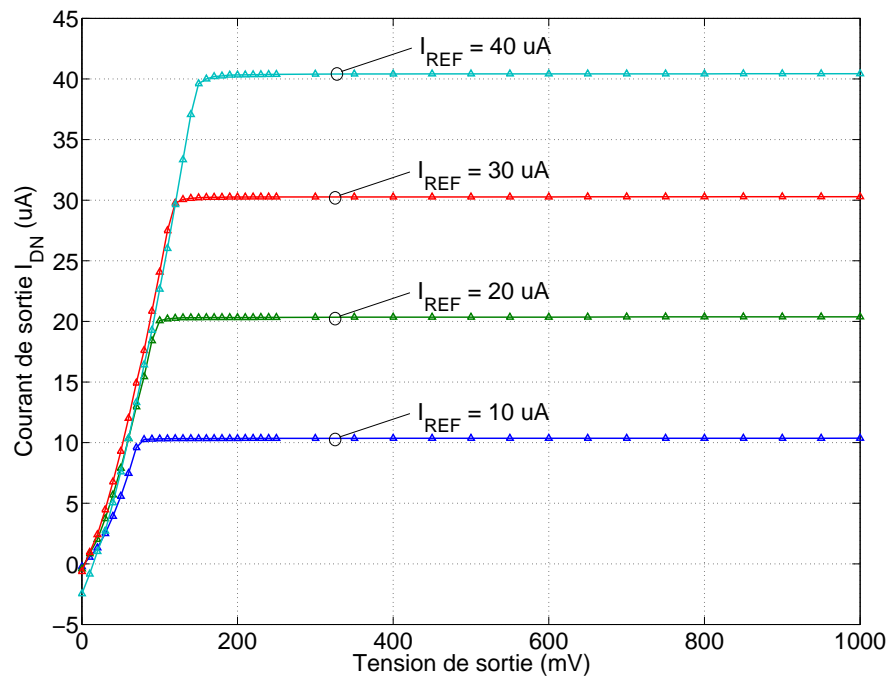
La valeur des sources de courant auxiliaires I_{CP}/K influence la plage de tension de sortie ainsi que la résistance de sortie de la pompe de charges de la même façon que pour le miroir de courant présenté au chapitre précédent. Ici aussi, l'utilisation d'un facteur d'échelle de courant $K = 10$ assure que les transistors M2 et M4 sont tous deux toujours à la limite de la région de saturation, et la tension minimale de sortie pour laquelle la pompe de charges fournit un courant de sortie

I_{OUT} qui correspond au courant d'entrée I_{CP} est d'environ $V_{DS,sat}$. Toutefois, la valeur de ces sources de courant auxiliaires a aussi un impact sur le temps de stabilisation ainsi que sur la vitesse maximale de la pompe de charges. Observons ce qui arrive lorsque le commutateur S2 ferme la boucle de rétroaction et qu'un courant I_{OUT} commence à être drainé par le transistor de sortie M5. Puisque M4 est initialement polarisé par une tension de grille telle que son courant de drain est égal à I_B plus une fraction de I_{CP} en provenance du commutateur S1, l'augmentation soudaine du courant à son drain perturbe son état d'équilibre et fait grimper sa tension de drain. La tension grille-source du transistor M3 diminue alors, forçant une augmentation de sa tension de grille pour permettre la circulation du courant I_{CP}/K en provenance de la source de courant auxiliaire. La rapidité avec laquelle la tension de grille de M3 (et donc de M4 et M2) est amenée à son nouveau point d'équilibre est limitée par la valeur du courant I_{CP}/K et la capacité total à charger à ce noeud. Ainsi, une valeur de I_{CP}/K plus élevée résulte en une réponse transitoire plus rapide de la pompe de charges. Toutefois, la valeur de ces sources de courant auxiliaires ne peut pas être arbitrairement élevée, sinon les transistors du miroir de courant M2-M4 n'auront plus le degré de saturation minimal requis et un décalage de courant affectera I_{OUT} .

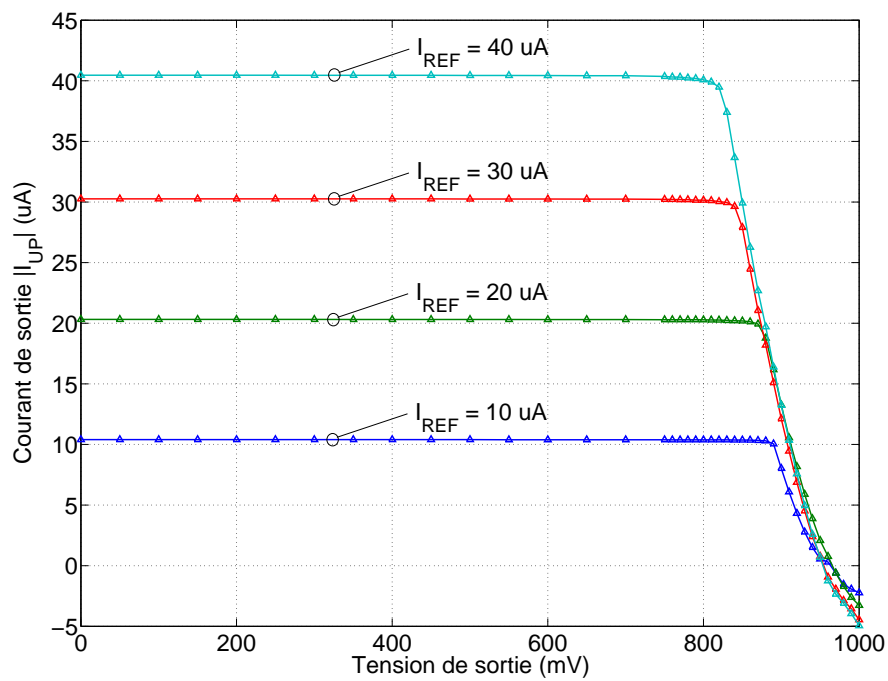
4.5 Implémentation détaillée et résultats

La pompe de charges proposée a été implémenté en utilisant la technologie CMOS 90-nm 1-V de STMicroelectronics, et ses performances ont été simulées à l'aide du simulateur Spectre puis mesurées sur une puce. Une longueur de canal de $0.25\ \mu\text{m}$ a été utilisée afin d'augmenter l'appariement des transistors, et ceux-ci ont été assemblés à partir de transistors élémentaires dont les dimensions étaient de $W/L = 0.5\ \mu\text{m}/0.25\ \mu\text{m}$ mis en parallèle afin de faciliter la génération des dessins de masques en centroïde commun et donc minimiser l'impact des variations de procédé. Les transistors NMOS de la section de la pompe de charges servant à drainer du courant ont un rapport W/L de $2.0\ \mu\text{m}/0.25\ \mu\text{m}$, et il en est de même pour les transistors du circuit de génération de la tension cascode $V_{bn-casc}$. Le commutateur NMOS S2 a un rapport W/L égal à $1.0\ \mu\text{m}/0.1\ \mu\text{m}$ et le commutateur PMOS S1 a les dimensions $W/L=0.5\ \mu\text{m}/0.25\ \mu\text{m}$. Ce choix de W et de L du commutateur S1 permet de minimiser les variations de tensions à la grille de M5 entre les divers états de la pompe de charges. Les transistors PMOS de la section de la pompe de charges responsable de fournir le courant I_{UP} sont 3 fois plus larges afin de compenser pour leur mobilité réduite par rapport aux transistors NMOS.

Les composantes de courant I_{UP} et I_{DN} de la pompe de charges proposée, mesurées sur la puce à l'aide d'un appareil Keithley 236 Source Measurement Unit (SMU), sont montrées à la figure 4.9 lorsque la tension à la sortie varie de 0 V à 1 V. L'appariement des composantes de courant I_{UP} et



(a)



(b)

FIGURE 4.9 Courant mesuré à la sortie de la pompe de charges en fonction de V_{OUT} pour $I_{REF} = 10, 20, 30$ et $40 \mu A$: a) I_{DN} et b) $|I_{UP}|$.

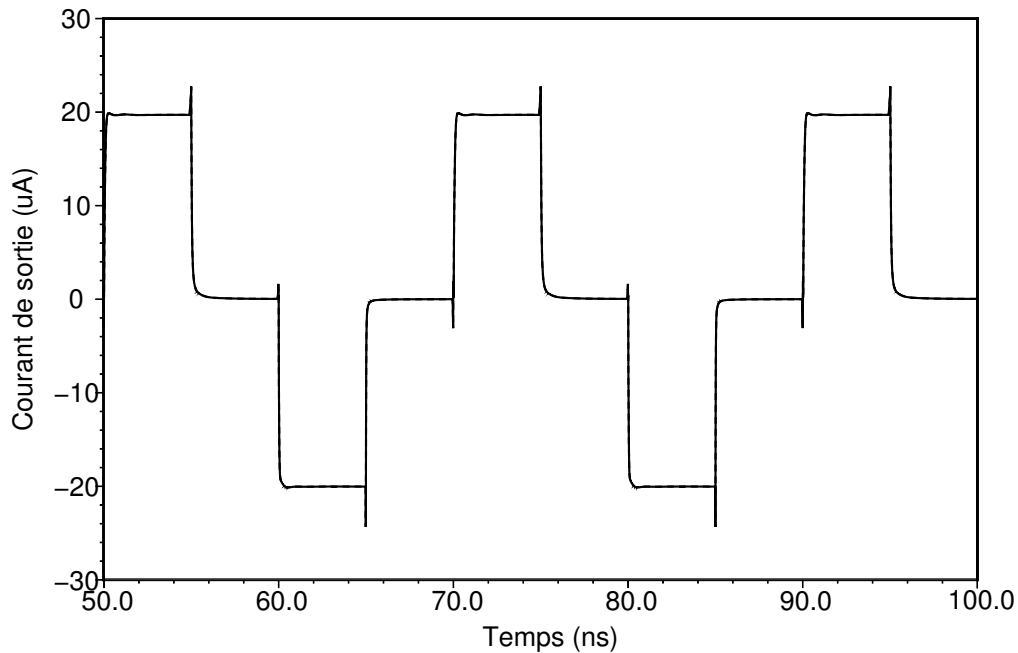
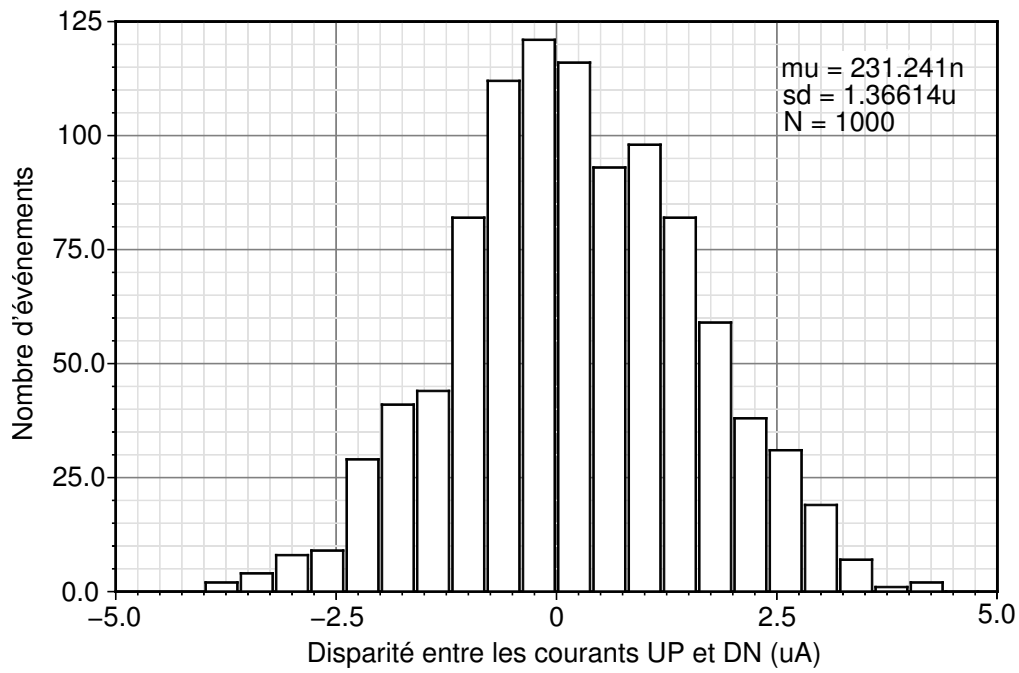


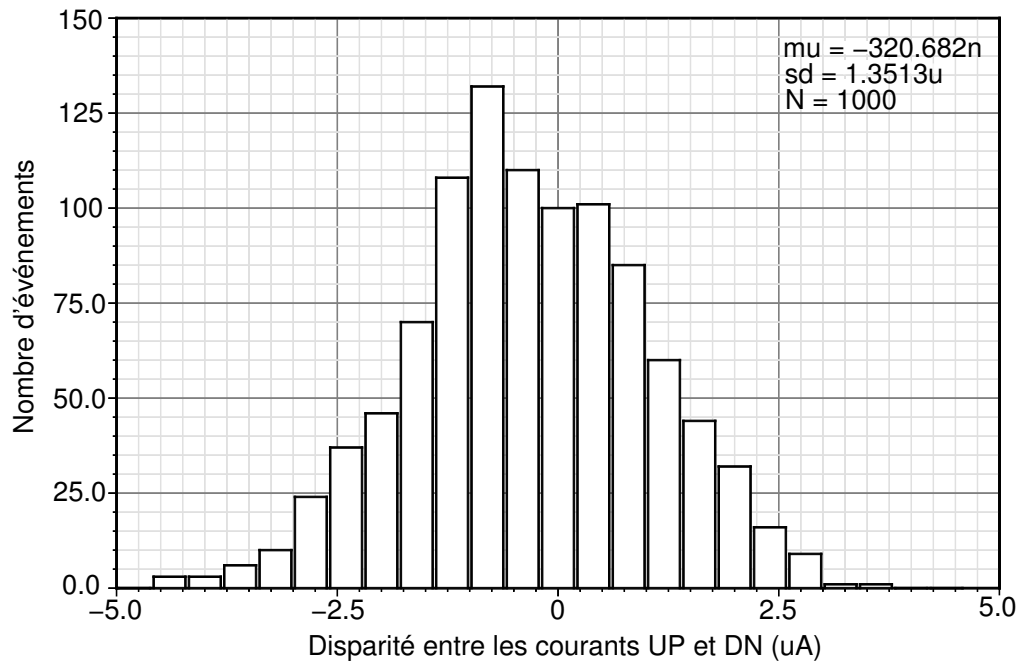
FIGURE 4.10 Réponse transitoire simulée de la pompe de charges proposée pour un signal d'entrée dont la largeur d'impulsion est de 5 ns et un temps de montée/descente de 0.1 ns.

I_{DN} est excellent pour une plage de tension de sortie variant de 119 mV à 873 mV. À ces tensions de sortie, la différence entre les composantes de courant I_{UP} et I_{DN} est de 1% par rapport à leur valeur nominale à 500 mV. De plus, la variation de leur magnitude est négligeable sur cette même plage de tension de sortie grâce à la résistance très élevée des miroirs de courant de la pompe de charges. Le comportement transitoire de la pompe de charges en réponse à des signaux de commandes d'entrée UP/DN dont la largeur d'impulsion est de 5 ns et le temps de montée/descente est de 0.1 ns est montré à la figure 4.10. Le courant de sortie de la pompe de charges se stabilise à $I_{OUT} = I_{CP}$ à l'intérieur de 1 ns, et le niveau des impulsions de courant indésirables dû à la commutation est très bas grâce au dimensionnement approprié des transistors S1 et S3 qui assurent une tension quasi-constante aux grilles des transistors de sortie entre les différents états de la pompe de charges. Un résumé de ces résultats est présenté au tableau 4.1, et une comparaison des performances de la pompe de charges proposée avec celles de pompes de charges récemment publiées y est également présentée.

Dans les procédés CMOS nanométriques, les variations intra-dés peuvent avoir des conséquences néfastes sur les performances des circuits microélectroniques. Dans le procédé CMOS 90-nm, des variations de courant à 3σ allant jusqu'à 30% sont à prévoir avec des transistors de taille minimale [34]. Des simulations Monte Carlo ont donc été effectuées pour quantifier l'impact des variations de procédé et du non-appariement des transistors sur la distribution des courants de sortie I_{UP} et I_{DN} .



(a)



(b)

FIGURE 4.11 Simulation Monte Carlo de la variabilité de la disparité entre les courants I_{UP} et I_{DN} de la pompe de charges, ($|I_{UP}| - |I_{DN}|$), pour 1000 passes à une tension de sortie de a) 125 mV, et b) 875 mV à 27°C.

TABLEAU 4.1 Performances de la pompe de charges proposée.

Paramètres	[64]	[65]	[67]	Ce travail
Procédé CMOS	0.18- μm	0.18- μm	0.18- μm	90-nm
Tension d'alimentation	1.2 V	1.8 V	1.8 V	1 V
Courant de la CP	600 μA	100 μA	200 μA	20 μA
Plage de tension de sortie	0.5 to	0.1 to	0.25 to	0.125 to
où I_{UP}/I_{DN} sont appariés	1.2 V	1.1 V	1.62 V	0.875 V
Magnitude constante de I_{UP}/I_{DN}	Oui	Non	Non	Oui
Temps de stabilisation	N.A.	5 ns	N.A.	1 ns
Consommation de puissance [‡]	N.A.	850 μW	958.5 μW	48 μW

[‡] En assumant que la PLL est barrée.

de la pompe de charges aux deux extrémités de sa plage d'opération de tension de sortie. Les figures 4.11(a) et 4.11(b) montrent la répartition de l'écart entre les composantes de courant I_{UP} et I_{DN} , obtenue à partir d'une simulation Monte Carlo de 1000 passes incluant les variations de procédé et le non-appariement (*random variations and mismatch*) entre les transistors de la pompe de charges, pour une tension de sortie de 125 mV et de 875 mV, à une température de 27°C. Un coefficient de corrélation entre les paramètres de non-appariement des transistors de 0.5 a été introduit dans spectre afin de prendre en compte l'appariement des transistors dans le layout [68]. Par contre, aucune corrélation n'a été introduite entre les transistors du circuit de polarisation et ceux de la pompe de charges. À 125 mV, le non-appariement moyen entre les composantes de courant I_{UP} et I_{DN} est de 231 nA, alors que l'écart type est de 1.37 μA , ou 6.8% du courant de pompe de charges nominal de 20.05 μA . Cette valeur moyenne de mismatch de courant s'explique par la capacité de drainage de courant réduite des transistors NMOS de sortie lorsque la tension V_{OUT} est très basse. À 875 mV, le non-appariement moyen entre les composantes de courant I_{UP} et I_{DN} est de -321 nA, alors que l'écart type est de 1.35 μA . Ici aussi, la moyenne négative du mismatch entre I_{UP} et I_{DN} reflète la diminution de la capacité du transistor PMOS de sortie à fournir du courant lorsque la tension de sortie approche V_{DD} .

4.6 Conclusion

Dans ce chapitre, nous avons détaillé le fonctionnement et la réalisation du PFD numérique du synthétiseur de fréquences. Aussi, nous avons présenté la conception d'une nouvelle pompe de

charges ayant une résistance de sortie incrémentale très élevée sur une plage de tension de sortie très large. La pompe de charges a été implémentée en technologie CMOS 90-nm, et les résultats de mesures montrent que le courant de sortie demeure pratiquement constant sur une plage de tension de sortie allant de 119 mV à 873 mV. De plus, les courants I_{UP} et I_{DN} sont appariés sur la même plage de tension de sortie. Le temps requis pour que le courant de sortie de la pompe de charges se stabilise à $I_{OUT} = I_{CP}$ est inférieur à 1 ns. Aussi, le niveau des transitoires de courant indésirables (*glitches*) demeure très bas grâce à l'introduction d'un commutateur supplémentaire qui permet de maintenir une tension quasi-constante à la grille du transistor de sortie en les états ON/OFF de la pompe de charges.

Des simulations Monte Carlo ont également été effectuées afin de quantifier l'impact des variations de procédé et du non-appariement des transistors sur le courant de sortie de la pompe de charges. Les résultats indiquent que la dispersion à $1-\sigma$ entre les composantes de courant I_{UP} et I_{DN} est inférieure à $1.37 \mu\text{A}$, ou 6.8% pour un courant nominal de $20 \mu\text{A}$, et ce aux deux extrémités de la plage dynamique de sortie de la pompe de charges. Ces caractéristiques, combinées avec la faible consommation de puissance et la simplicité de l'architecture de pompe de charges proposée, rendent celle-ci particulièrement appropriée pour les applications à basse consommation de puissance et à basse tension d'alimentation.

CHAPITRE 5

NOUVEAU LC-VCO CONTRÔLÉ PAR TENSION TOLÉRANT AUX VARIATIONS DE PROCÉDÉ

L'oscillateur contrôlé par tension, ou VCO, est l'élément déterminant dans un synthétiseur RF en termes de consommation de puissance et de bruit de phase. Il doit être conçu avec attention afin de minimiser la consommation de puissance sans pour autant dégrader les performances de bruit de phase ainsi que la plage de syntonisation. Pour les applications de communications RF, le signal à la sortie du synthétiseur doit être une sinusoïde très stable. À l'intérieur de la bande passante du synthétiseur, les variations de phase instantanées du VCO sont éliminées grâce à l'effet de la boucle de rétroaction. Le bruit de phase près de la porteuse est alors dominé par celui de la pompe de charges et du diviseur de fréquence, qui peuvent être relativement faible si ces modules sont conçus adéquatement. Toutefois, à des distances en fréquence de la porteuse supérieures à la largeur de bande en boucle fermée ω_{-3dB} du synthétiseur, le bruit de phase est dominé par celui du VCO, qui est considérablement plus élevé que celui des autres modules du synthétiseur. La minimisation du bruit de phase du VCO est donc essentielle pour la génération d'une fréquence porteuse de haute pureté spectrale.

Dans un transmetteur RF, le bruit de phase de l'oscillateur local (LO) peut s'étendre dans les canaux adjacents et diminuer leur rapport signal à bruit en augmentant le niveau du bruit plancher. Dans le cas d'un récepteur, ce même bruit de phase peut résulter en la transposition en fréquence de signaux indésirables dans la bande d'intérêt. Il est donc primordial que le VCO, en plus de consommer un minimum de puissance, ait un bruit de phase très faible. Ceci ne s'avère possible que si la fréquence des oscillations est fixée de façon précise à l'aide un résonateur passif LC [69]. Dans ce chapitre, nous présentons l'architecture d'un LC-VCO qui implémente une nouvelle technique pour réduire l'impact des variations de procédé à la fois sur la consommation de puissance et le bruit de phase de l'oscillateur. Pour y arriver, le VCO est polarisé à l'aide d'un régulateur de voltage dont la tension de référence est représentative des paramètres du procédé à l'endroit où est situé le VCO sur le circuit intégré. L'utilisation d'une tension d'alimentation qui s'adapte aux variations de procédé réduit de façon significative l'étalement du bruit de phase du VCO près de la porteuse ainsi que sa consommation de puissance, tout en évitant de concevoir les circuits en fonction du pire coin (*worst corner*).

5.1 Oscillateurs contrôlés par tension avec résonateur LC

L'architecture typique d'un LC-VCO est illustrée à la figure 5.1. Les transistors M1 et M2 forment une cellule de transconductance qui présente une résistance différentielle négative d'une valeur égale à $R_{diff} = -2/g_m$ grâce à la rétroaction positive entre leurs drains et leurs grilles. Ceci permet le maintien des oscillations dans le résonateur LC en compensant pour les pertes causées par le facteur de qualité limité de l'inductance intégrée et des varactors. En négligeant les capacités et résistances parasites, la fréquence des oscillations différentielles aux drains de M1 et M2 est approximativement égale à $\omega_0 = \sqrt{LC}$. La source de courant CS2, aussi appelée transistor de queue (*tail transistor*), est utilisée pour fixer le courant de polarisation de la cellule de transconductance du VCO. Lorsque le transistor de queue est en saturation, le VCO opère dans un régime limité en courant et l'amplitude des oscillations dépend largement du courant de polarisation. Par conséquent, le bruit dans la source de courant de polarisation devient une des principales sources de bruit de phase du VCO [70]. Cette susceptibilité du bruit de phase au bruit du courant de drain de la source de courant peut être largement réduite en opérant le transistor de queue CS2 dans la région de triode pour la majeure partie de la période d'oscillation [71]. Dans ce cas, l'amplitude des oscillations est limitée par la tension d'alimentation du VCO, ce qui a pour inconvénient de taille que le bruit de phase devient très sensible au bruit de l'alimentation. Dans un contexte de systèmes-sur-puce à haut niveau d'intégration, ceci est loin d'être avantageux car le bruit généré par les circuits numériques à haute vitesse risque de se propager par les alimentations et ainsi contaminer les circuits RF sensibles à proximité. Pour cette raison, l'alimentation V_{DD} du VCO est généralement régulée localement à l'aide d'un LDO (*Low Drop-Out regulator*) [72].

5.2 Impact de la variabilité

Dû à des limitations de la physique même du procédé de fabrication CMOS, les transistors nanométriques des récents noeuds technologiques sont gravement affectés par les variations de procédé. Celles-ci introduisent une variabilité dans les paramètres critiques des transistors tels leur tension de seuil V_{TH} et leur courant de drain en saturation I_{DSAT} . Cette variabilité est causée, entre autres, par les variations aléatoires de niveau de dopants (*Random Dopant Fluctuation — RDF*), les variations de l'épaisseur de l'oxyde de grille des transistors, les variations de la permittivité électrique, etc [33]. Il est important de souligner que nous parlons ici de variabilité *aléatoire*, qui est fonction de la surface de la grille $W \cdot L$ des transistors [73]. Par exemple, plus celle-ci est réduite, plus l'impact d'une variation du nombre d'atomes dopants dans sa région de diffusion devient significative. Pour cette raison, les transistors de tailles minimales ne peuvent généralement pas être sauvés par

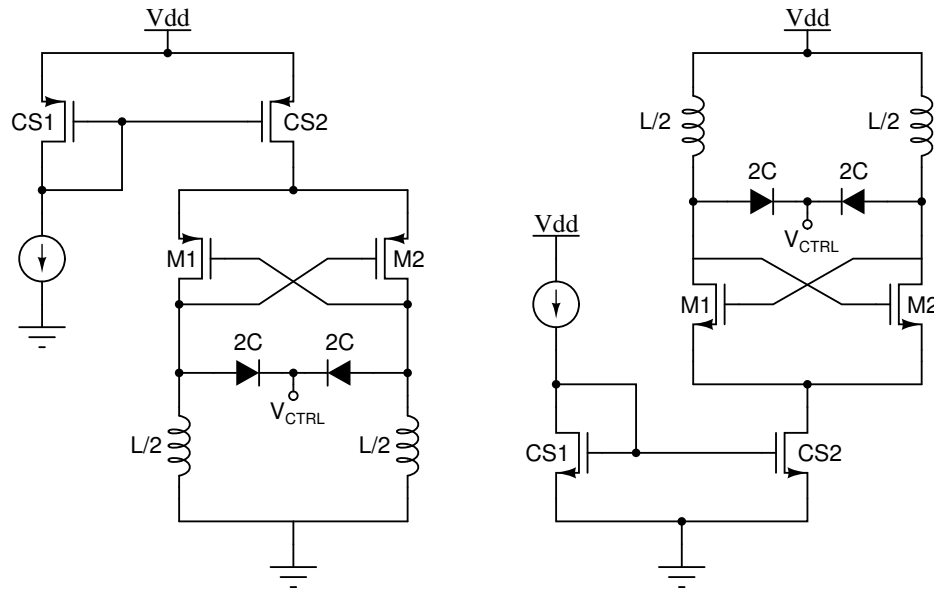


FIGURE 5.1 LC-VCO utilisant une source de courant de queue pour fixer le courant de polarisation.

une technique de dessin de masques attentionnée. À l’opposé, les variations systématiques entre des transistors *a priori* identiques tels que l’effet de l’espacement du poly (*Poly Space Effect* — *PSE*), l’effet d’arrondissement du poly (*Poly Rounding Effect* — *PRE*), la longueur de la définition d’oxyde (*Length of Oxide Definition* — *LOD*), et l’impact de la proximité des puits N (*Well Proximity Effect* — *WPE*), sont connues et peuvent être mitigées jusqu’à un certain degré lors du dessin des masques [74].

Les variations aléatoires de procédé qui affligent les procédés nanométriques récents compliquent la conception d’oscillateurs intégrés. Du point de vue de la consommation de puissance, les transistors de la cellule de transconductance du VCO ont généralement une longueur de canal minimale afin de maximiser leur transconductance g_m tout en minimisant les capacités parasites. Ce faisant, ces transistors deviennent très sensibles aux variations de procédé et leur courant de drain en saturation, I_{DSAT} , varie de façon significative en fonction du coin du procédé. Tel que mentionné au chapitre précédent, cette variabilité peut atteindre 30% à 3σ pour des transistors de tailles minimales dans le procédé CMOS 90-nm. Pour les VCOs illustrés à la figure 5.1, ceci signifie qu’un courant de polarisation élevé doit être choisi afin d’assurer le démarrage des oscillations dans le coin lent, avec pour conséquence une consommation excessive de puissance dans les coins typiques et rapides. Le bruit de phase du VCO, qui dépend largement des conditions de polarisation des transistors de la cellule de transconductance, devient aussi très difficile à prévoir. Pour ces raisons, il est dorénavant très difficile de concevoir un VCO qui offre des performances de bruit de phase satisfaisantes tout en maintenant une basse consommation de puissance pour les différents coins du procédé.

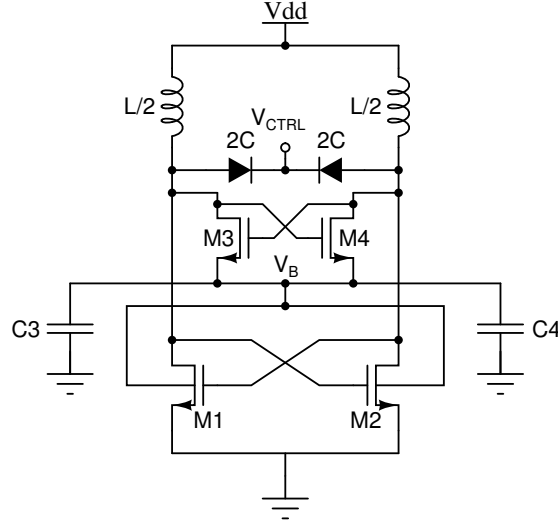


FIGURE 5.2 VCO tolérant aux variations de procédé grâce à une polarisation adaptative du substrat.

5.3 Solutions existantes pour mitiger l'impact de la variabilité sur un LC-VCO

Quelques techniques visant à mitiger l'impact des variations de procédé sur les performances d'un LC-VCO ont été proposées récemment. La solution proposée dans [75] afin de réduire l'effet des variations de procédé, de tension ainsi que de température (*Process, Voltage, Temperature — PVT*) consiste à utiliser une polarisation adaptative du substrat des transistors. Tel que le montre la figure 5.2, l'amplitude du signal à la sortie du VCO est utilisée pour contrôler la polarisation du substrat de la cellule de transconductance formée par M1-M2 à l'aide d'une boucle de rétroaction. La boucle de rétroaction ajuste la tension de polarisation du substrat local de l'oscillateur de façon à maintenir des oscillations soutenues. La paire de transistors NMOS M3-M4 agit à titre de détecteur d'amplitude et la valeur moyenne du signal de sortie du VCO est appliquée au noeud V_b , puis est emmagasinée sur les condensateurs C3 et C4. Cette approche facilite également le démarrage du VCO, car une tension positive est initialement appliquée au substrat des transistors M1 et M2, ce qui diminue leur tension de seuil V_{TH} et augmente par conséquent leur transconductance g_m .

Le VCO présenté dans [76] utilise une boucle de rétroaction afin de maintenir l'amplitude des oscillations du VCO au niveau optimal en terme de réduction du bruit de phase. Ce circuit, illustré à la figure 5.3, est basé sur l'utilisation de la tension de seuil V_{TH} d'un MOSFET comme niveau de tension de référence permettant ainsi de compenser pour les variations PVT. L'amplitude crête-à-crête des oscillations est égale à $V_{GS,M1(M2)} - V_{DS,M2(M1)}$. Ce VCO opère dans le régime limité en courant : lorsque le courant de polarisation fourni par M10 est plus élevé, l'amplitude des oscillations augmente et le bruit de phase diminue. Toutefois, lorsque l'amplitude des oscillations

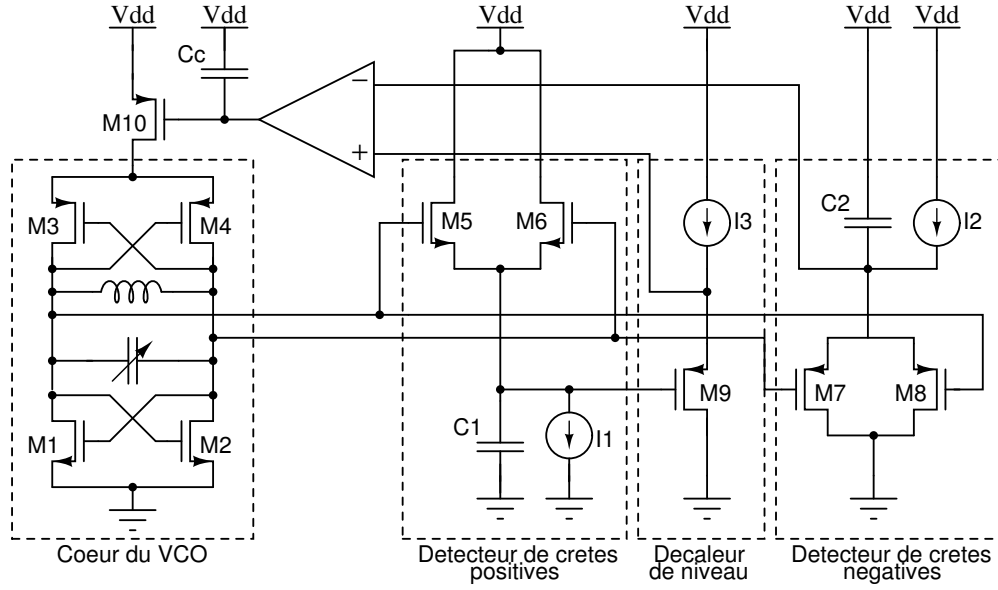


FIGURE 5.3 VCO avec circuit de contrôle automatique de l'amplitude.

devient supérieure à la tension de seuil V_{TH} des transistors NMOS M1-M2 de la cellule de transconductance, ceux-ci opèrent en triode pour une fraction de la période d'oscillation et la résistance parallèle équivalente du résonateur diminue. Le résultat est une dégradation du facteur de qualité Q en charge du résonateur (*loaded Q-factor*) et une augmentation conséquente du bruit de phase. Leur approche consiste donc à utiliser un système de contrôle automatique de l'amplitude afin de maintenir l'amplitude des oscillations à une valeur s'approchant de V_{TH} .

5.4 Nouveau LC-VCO tolérant aux variations de procédé

5.4.1 Architecture du LC-VCO proposé

Le diagramme bloc du VCO intégré qui a été implémenté dans le synthétiseur de fréquences est illustré à la figure 5.4. L'architecture basée sur un résonateur LC intégré a été choisie afin d'obtenir une performance de bruit de phase raisonnable tout en minimisant la consommation de puissance. Le VCO a été conçu avec une fréquence de résonance de 1830 MHz, alors que la fréquence d'opération du RX/TX proposé, qui est destiné à la bande ISM de 902-928 MHz, est centrée à 915 MHz. L'implémentation d'un VCO opérant au double de la fréquence finale désirée permet l'utilisation d'un circuit digital de division par 2 afin de générer les composantes en phase et en quadrature (I et Q) requises par les modulateurs complexes. Aussi, il est possible de concevoir des inductances ayant un meilleur facteur de qualité à des fréquences plus élevées. En effet, le facteur de qualité

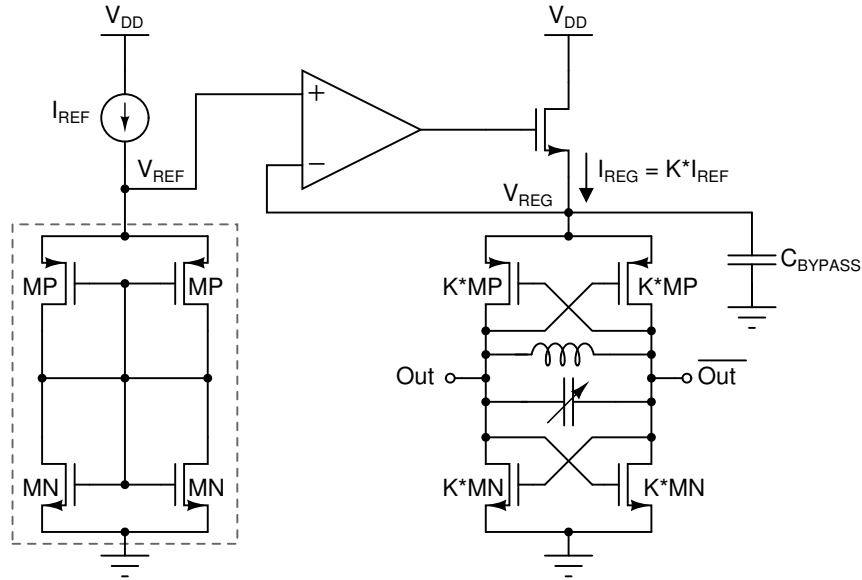


FIGURE 5.5 Schéma du LC-VCO proposé avec circuit de génération de V_{REF} .

sistors couplés croisés. Aussi, l'absence d'une source de courant de polarisation I_{TAIL} pour fixer le courant DC du VCO le rend plus susceptible au bruit de l'alimentation positive et un régulateur de voltage linéaire doit être utilisé pour générer une tension V_{REG} stable pour alimenter le VCO et améliorer ses performances en termes de bruit de phase. Cette tension V_{REG} doit être choisie de façon à ce que le coeur du VCO reçoive un courant initial I_{REG} assurant un gain de transconductance assez élevé pour permettre le démarrage des oscillations. Le choix de la tension V_{REG} appropriée, compte tenu des variations de procédé, est maintenant discuté.

5.4.2 Génération de la tension de référence V_{REF}

Le schéma électronique du LC-VCO proposé incluant le circuit de génération de la tension de référence est montré à la figure 5.5. L'approche proposée afin de réduire l'impact des variations aléatoires consiste à utiliser un régulateur de voltage qui fournit au VCO une tension d'alimentation s'adaptant aux caractéristiques du procédé à l'endroit sur la puce où il est implémenté : V_{REG} est plus élevée pour les coins lents ; et à l'opposé V_{REG} diminue pour les coins rapides. L'objectif est de générer une tension V_{REF} qui, lorsque appliquée à la source des transistors PMOS du VCO, résultera en un courant de démarrage connu I_{REF} . Cette tension de référence adaptative V_{REF} est générée à l'aide du circuit encadré dans la figure 5.5. Ce circuit consiste en deux paires de transistors MOS complémentaires connectés en diode qui sont placés dans une configuration à centroïde commun avec les transistors du VCO. Il est important de noter que ce circuit est *topologiquement*

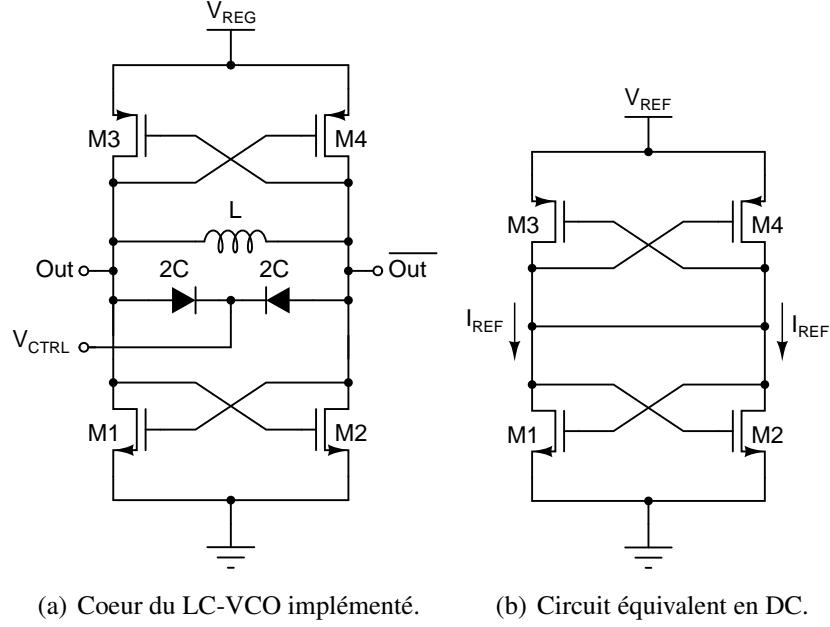


FIGURE 5.6 Circuit équivalent en DC du LC-VCO proposé.

équivalent au coeur du LC-VCO en DC, lorsque que l'inductance du résonateur LC se comporte comme un court-circuit, tel que l'illustre la figure 5.6.

La source de courant I_{REF} qui est utilisée pour générer la tension V_{REF} est implémentée à l'aide de transistors de grande taille qui sont, par conséquent, peu affectés par les variations de procédé aléatoires. Afin de minimiser la consommation de courant, les transistors du circuit servant à générer V_{REF} ont une largeur K fois inférieure à celle des transistors du VCO. La tension à la source des transistors PMOS dans ce circuit est donnée par :

$$V_{REF} = V_{GS,N} + V_{GS,P} \quad (5.1)$$

Cette tension est répliquée aux sources des transistors PMOS du VCO, résultant en un courant DC de démarrage égal à $K \cdot I_{REF}$, puisque les transistors du VCO sont K fois plus larges. Puisque $V_{GS,N}$ et $V_{GS,P}$ sont affectés par les variations de procédé et par la température, la tension de référence V_{REF} qui est générée est ajustée en conséquence pour accommoder le courant de référence I_{REF} . Ainsi, la tension régulée qui alimente le VCO varie en fonction des variations de procédé, et le courant DC circulant dans le VCO au démarrage est beaucoup moins sensible aux paramètres du procédé. Ceci assure le démarrage du VCO, et ce peu importe le coin du procédé. Le VCO offre ainsi des performances plus constantes d'une puce à l'autre en termes de consommation de puissance et de bruit de phase.

5.5 Conception des composants passifs du synthétiseur

La qualité des composants passifs formant le résonateur LC du VCO a un impact déterminant sur les performances de l'oscillateur. Le bruit de phase, la plage de syntonisation, l'amplitude du signal ainsi que la dissipation de puissance bénéficient tous grandement d'un résonateur dont le facteur de qualité Q_{res} est élevé. Dans les cas d'un résonateur LC intégré, ce facteur de qualité total Q_{res} est égal à $Q_L Q_C / (Q_L + Q_C)$, où Q_L et Q_C sont respectivement les facteurs de qualité de l'inductance et de la banque de varactors. Dans cette section, nous allons présenter la conception de l'inductance intégrée ainsi que des varactors utilisés dans le VCO du synthétiseur de fréquences.

5.5.1 Inductance intégrée

Les inductances intégrées en technologie CMOS peuvent être classées en deux groupes : les implémentations actives et passives. Peu importe l'architecture considérée, les inductances actives souffrent pratiquement toutes d'un facteur de bruit et d'une consommation de puissance élevée, ainsi que d'une plage dynamique limitée dû aux dispositifs actifs qu'elles utilisent [78]. Ces inconvénients limitent sévèrement l'application des inductances actives dans la conception de circuits RF à basse consommation de puissance. Des inductances passives peuvent être réalisées en utilisant les couches de métal disponibles dans le procédé ou même avec les *bondwires* servant à connecter les plots de soudure du circuit intégré aux broches du boîtier. Toutefois, la prédictibilité et la reproductibilité des inductances implémentées à l'aide de *bondwires* est trop faible pour en faire une technique utilisée à grande échelle. Pour ces raisons et pour leur compatibilité avec les procédés de fabrication CMOS standards, nous avons opté pour l'implémentation d'une inductance spirale planaire intégrée. Le procédé CMOS 90-nm de STMicroelectronics qui est utilisé offre 7 couches de métal, dont les deux supérieures, M6 et M7, sont trois fois plus épaisses. Aussi, ce procédé permet d'utiliser une couche de métallisation d'aluminium supplémentaire située au dessus de M7, AP (*ALUCAP*), pour construire des inductances.

L'inductance spirale octogonale différentielle implémentée dans le VCO est montrée à la figure 5.7. De toutes les configurations d'inductances planaires possibles, la configuration spirale est la plus efficace en terme d'inductance par unité de surface. Cette configuration d'enroulements maximise l'inductance totale car le couplage mutuel entre les segments adjacents est positif. En effet, les segments dont le courant circule dans la même direction sont près les uns des autres, alors que ceux portant un courant de direction opposée sont séparés d'une grande distance. Pour ce type de spirale, les paramètres de conception qui déterminent la valeur de l'inductance et le facteur de qualité sont le nombre de spires N , la largeur des traces W , l'espacement entre les traces S , et le

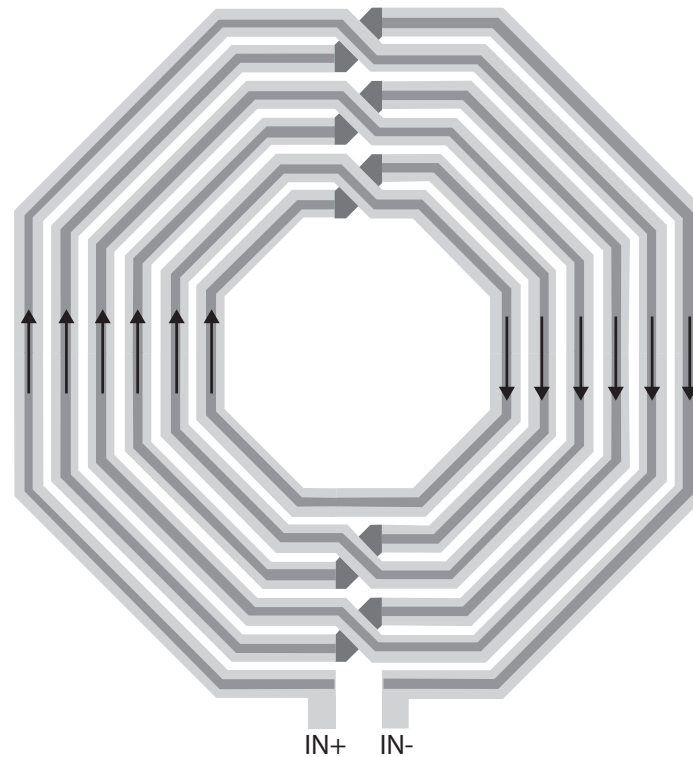


FIGURE 5.7 Inductance octogonale intégrée.

diamètre externe D . Aussi, l'épaisseur des couches de métal utilisées, le nombre de couches mises en parallèle ainsi que la distance séparant la bobine du substrat ont une grande influence sur le facteur de qualité Q . Calculer ces paramètres de façon analytique n'est décidément pas une option, et l'utilisation d'un simulateur électromagnétique s'avère essentielle.

Un script en langage SKILL a été développé pour automatiser le dessin de l'inductance octogonale dans Cadence Virtuoso. La spirale a été dessinée sur les couches de métal supérieures M7 et AP, afin de profiter de leur faible résistance par carreau tout en restant aussi loin que possible du substrat de silicium de façon à minimiser les capacités parasites. La couche M6 est utilisée pour permettre les croisements de la structure octogonale. L'optimisation des différents paramètres de l'inductance octogonale intégrée a ensuite été performée à l'aide du simulateur électromagnétique Agilent ADS Momentum. Les options "*Thick Conductor Expansion*", "*Horizontal Side Currents*" et "*Edge Mesh*" ont été activées pour tenir compte de l'épaisseur des couches de métal formant la spirale et ainsi obtenir des résultats aussi réalistes que possible. Bien qu'il soit *a priori* tentant de garder l'espacement entre les spires à la distance minimum permise afin de maximiser le couplage mutuel, les simulations effectuées à l'aide de ADS Momentum ont montré que le couplage capacitif entre les parois (*sidewalls*) des spires construites avec les couches de métal épaisses dégrade le facteur de qualité Q . La figure 5.8 résume les étapes entrant dans la conception, la simulation

et l'optimisation de l'inductance intégrée à l'aide des logiciels Cadence Virtuoso et ADS Momentum. Les caractéristiques de l'inductance résultant du processus d'optimisation sont une largeur des traces de $8\ \mu\text{m}$, un espacement entre les spires de $4\ \mu\text{m}$, et un diamètre externe de $250\ \mu\text{m}$.

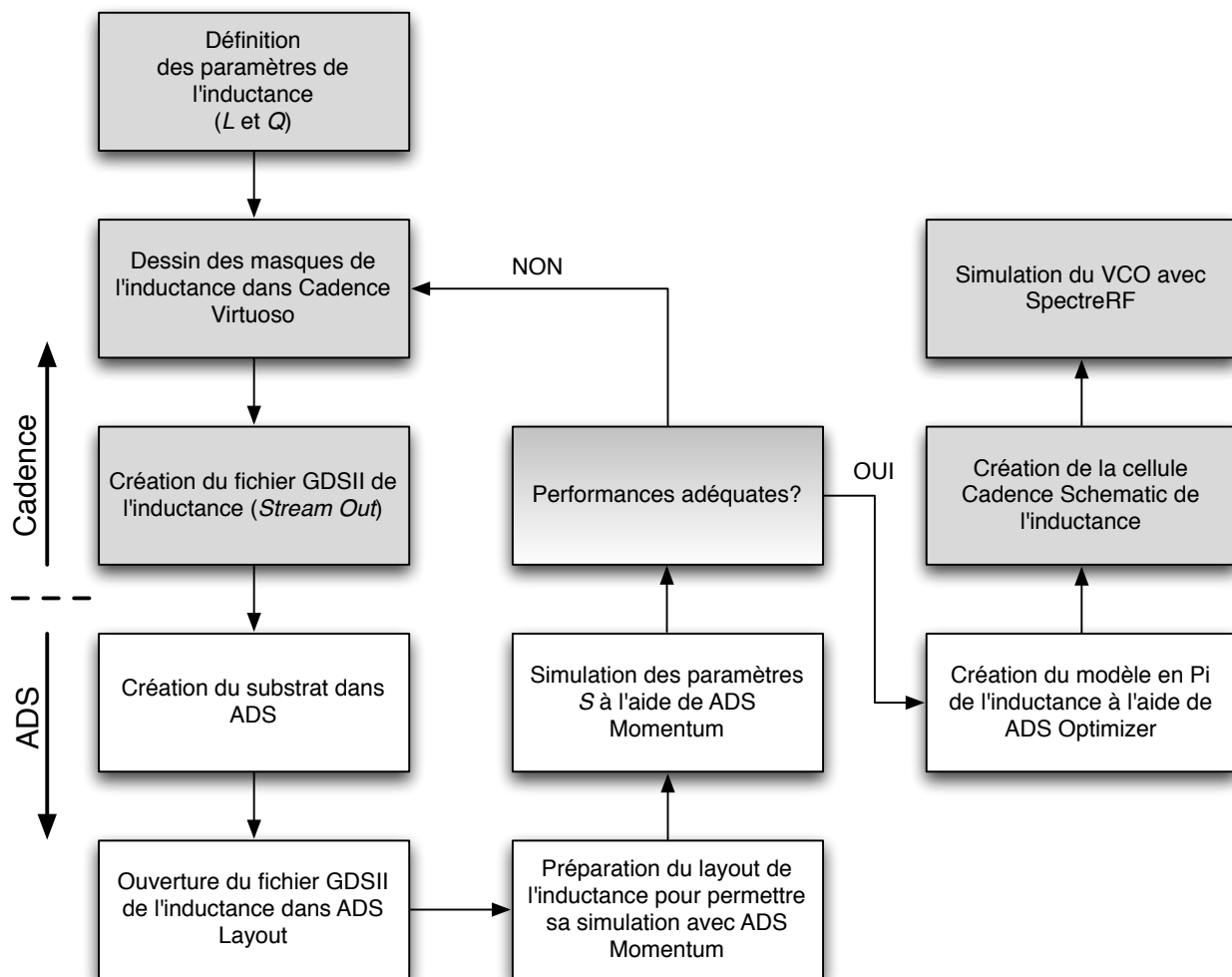


FIGURE 5.8 Étapes de conception de l'inductance intégrée à l'aide de Virtuoso et ADS Momentum.

L'ensemble des paramètres S à deux ports obtenus suite à la simulation électromagnétique est utilisé pour extraire la valeur de l'inductance ainsi que son facteur de qualité. D'abord, le paramètre

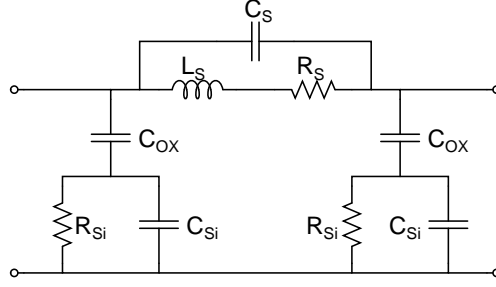


FIGURE 5.9 Modèle discret équivalent de l'inductance octogonale.

S à un port différentiel est trouvé à partir de l'équation suivante [79] :

$$S_d = \frac{S_{11} + S_{22} - S_{12} - S_{21}}{2} \quad (5.2)$$

Puis, l'impédance d'entrée différentielle correspondante est trouvée :

$$Z_d = 2Z_0 \left(\frac{1 + S_d}{1 - S_d} \right) \quad (5.3)$$

où Z_0 est l'impédance caractéristique du système de mesure, soit 50Ω . La valeur de l'inductance en fonction de la fréquence est donc donnée par $L = Z_d/j\omega$, et $Q = \text{Im}\{Z_d\}/\text{Re}\{Z_d\}$. Toutefois, l'utilisation de l'inductance à titre de composant de circuit électronique simulable avec le simulateur SpectreRF de Cadence requiert qu'un modèle équivalent basé sur des éléments discrets soit généré. Ce modèle est illustré à la figure 5.9, où les composantes L_s et R_s en série entre les ports d'entrée/sortie de l'inductance représentent respectivement l'inductance nominale et la résistance série de la spirale, alors que le condensateur C_s représente le couplage capacitif parasite entre les spires de l'inductance. L'impact du substrat est pris en compte à l'aide de deux branches en parallèle avec les ports d'entrée et de sortie. Chacune de ces branches comprend la capacité parasite spirale/substrat C_{ox} en série avec la combinaison parallèle de R_{sub} et C_{sub} qui représentent les pertes du signal de retour dans le substrat. Les valeurs des composants discrets du modèle de l'inductance sont obtenues en utilisant en la fonction d'optimisation *Optimizer* du logiciel ADS afin d'approcher au maximum les paramètres S obtenus avec le simulateur électromagnétique. Notons que l'utilisation de composants discrets dont la valeur ne varie pas en fonction de la fréquence ne permet d'obtenir une représentation des paramètres S que sur une bande de fréquence limitée. Les valeurs des composantes discrètes obtenues à l'aide du processus d'optimisation d'ADS sont présentées au tableau 5.1.

TABLEAU 5.1 Valeurs des composants du modèle équivalent de l'inductance.

Composantes	Valeur
L_s	10 nH
R_s	7 Ω
C_s	10 fF
C_{ox}	10 fF
R_{Si}	157 Ω
C_{Si}	100 fF

5.5.2 Varactors

Les capacités variables, ou varactors, peuvent être réalisées à partir des capacités des jonctions PN ou encore celles des structures MOS. Le principe de fonctionnement du varactor à jonction PN exploite la dépendance de la capacité de la zone de charges d'espace, par rapport à la tension de polarisation en inverse de la jonction. Pour le varactor MOS, la capacité oxyde-substrat varie par l'application d'un potentiel entre la grille du transistor et le substrat, qui modifie l'épaisseur de la zone de déplétion. La plage de variation de la capacité par unité de surface en fonction de la polarisation $C(V)$ des varactors MOS a une valeur supérieure à celle des varactors à jonction PN. Cependant, la variation de la capacité du varactor MOS dépend du régime d'opération du transistor, selon que celui-ci est en mode accumulation ou déplétion. Ainsi, la courbe $C(V)$ est beaucoup moins linéaire que celle des varactors à jonction PN [80]. Pour ces raisons, les varactors à jonctions PN ont été utilisés pour l'ajustement de la fréquence du VCO.

Pour les varactors à jonction PN, les paramètres électriques d'importance sont la valeur de la capacité de la jonction non-polarisée, la plage de variation de la capacité en fonction de la tension de commande V_{CTRL} , ainsi que le facteur de qualité Q . La vue en coupe du varactor réalisé est montrée à la figure 5.10. Une structure différentielle a été utilisée afin de créer une masse virtuelle entre les deux ports d'entrée, ce qui résulte en un chemin électrique plus court vers la masse signal dans le caisson N. Ceci résulte en une augmentation significative du facteur de qualité car la résistance série équivalente introduite dans le chemin du signal est réduite. La résistance série parasite de la structure de varactors a également été réduite en utilisant des traces de métallisation relativement larges pour les interconnexions entre les différents îlots contenant les jonctions PN. Cette approche augmente évidemment la capacité parasite fixe des varactors, mais le facteur de qualité Q simulé de la structure complète variant de 870 fF à 1350 fF est supérieur à 80 à 1.830 GHz.

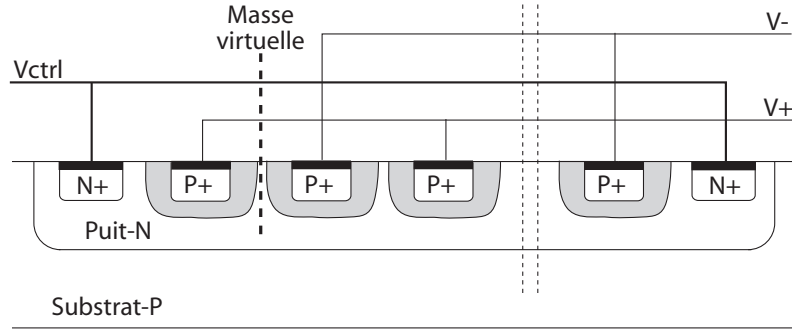


FIGURE 5.10 Vue en coupe d'un varactor à diode intégrée

5.6 Implémentation en technologie CMOS 90-nm et résultats

Le VCO proposé utilisant un régulateur de voltage linéaire à référence de tension adaptative a été implémenté en technologie CMOS 90-nm. Les transistors de la source de courant générant le courant de référence I_{REF} ont une longueur de canal de $2.5 \mu\text{m}$ afin de minimiser l'impact des variations de procédé sur la magnitude de I_{REF} . Le régulateur linéaire utilise un transistor de sortie NMOS plutôt qu'un PMOS car cela diminue des problèmes de stabilité étant donné le gain de boucle et l'impédance de sortie plus faibles, le NMOS agissant comme un étage suiveur de gain unitaire [81].

5.6.1 Conception du VCO

Le VCO doit osciller à une fréquence centrale 1.830 GHz avec une inductance intégrée dont la valeur est de 11 nH à cette fréquence. La capacité totale requise est donc donnée par $C_{tot} = 1/(\omega_0^2 L) \approx 750 \text{ fF}$. Cette capacité totale est en parallèle avec l'inductance et consiste en la combinaison parallèle de la capacité totale des deux varactors, des capacités parasites formées par les grilles des transistors de la cellule de transconductance, ainsi que de celles des lignes de métal d'interconnexions. La valeur totale de ces capacités parasites est obtenue à l'aide d'une extraction de type Calibre Cc des dessins de masque du VCO, et est de l'ordre de 200 fF. Il en découle que les varactors doivent avoir une capacité totale $2C$ variant entre 870 fF à 1350 fF afin d'atteindre la plage de syntonisation requise par le VCO. Soulignons que les varactors sont en série d'un point de vue signal étant donnée l'architecture différentielle du LC-VCO : la capacité totale fournie par les deux varactors est donc ajustable entre 435 fF et 675 fF, pour un total variant entre 635 fF et 875 fF en incluant les capacités parasites. La fréquence d'oscillation du LC-VCO est alors estimée à 1.65 GHz à C_{max} et 1.90 GHz à C_{min} , pour une plage de syntonisation approchant 250 MHz.

Le facteur de qualité Q_V des varactors étant de l'ordre 80 à 1.830 GHz, le facteur de qualité total Q_T du résonateur est pratiquement égal à celui de l'inductance, c'est-à-dire $Q_T \approx Q_L = 8$. Ceci correspond à une résistance de perte d'une valeur égale à $R_P = \omega_0 L Q = 920 \Omega$ en parallèle avec le résonateur LC . Pour que les oscillations démarrent, il faut que la transconductance totale offerte par les transistors complémentaires en configuration couplée-croisée soit telle que :

$$G_m R_P = (g_{m,n} + g_{m,p})/2 \cdot R_P > 1 \quad (5.4)$$

où $g_{m,n}$ et $g_{m,p}$ représentent respectivement les transconductances des transistors NMOS et PMOS. Ainsi, si l'on considère que chaque paire de transistors contribue de façon égale à la transconductance totale, la transconductance de chaque transistor doit être supérieure à environ $g_m > 1/R_P \approx 1.1 \text{ mA/V}$. Le courant de polarisation I_{BIAS} minimum requis pour que les transistors aient une transconductance suffisante pour assurer le démarrage des oscillation est trouvé à l'aide de la méthodologie g_m/I_d présentée à l'annexe II. L'efficacité de transconductance g_m/I_d maximale est obtenue lorsque les transistors sont opérés en inversions faible, c'est-à-dire lorsque les transistors sont très larges. Le courant de polarisation requis est alors très faible, mais les capacités parasites qui résultent limitent la plage de syntonisation. Ainsi, nous avons choisi d'opérer les transistors du VCO en inversion modérée, avec un coefficient d'inversion $IC = 0.1$. À ce coefficient d'inversion, le rapport g_m/I_d est environ égal à 25, et le courant de polarisation requis est donné par :

$$I_{BIAS} = \frac{g_{m,N(P)}}{g_m/I_d} > \frac{1.1 \text{ mA/V}}{25} > 44 \text{ } \mu\text{A} \quad (5.5)$$

Le courant de démarrage I_{BIAS} a été fixé à $100 \text{ } \mu\text{A}$ afin d'offrir une certaine marge de sécurité. Connaissant les valeurs de I_{BIAS} , du coefficient d'inversion IC et du courant technologique $I_0 = 2n_0\mu_0 C_{OX} U_T^2$ des transistors NMOS et PMOS, nous trouvons les rapports d'aspect des transistors grâce à la relation suivante :

$$\frac{W}{L} = \frac{I_{BIAS}}{IC \cdot I_0} \quad (5.6)$$

dont on tire que $W_N/L_N \approx 1200$ et $W_P/L_P \approx 3000$. Afin de diminuer l'écart entre les capacités parasites des transistors NMOS et PMOS et ainsi limiter la conversion de bruit en bande de base en bruit de phase autour de la porteuse [77], nous avons choisi d'utiliser $L_P = 100 \text{ nm}$ pour les transistors PMOS et $L_N = 250 \text{ nm}$ pour les NMOS, et les largeurs de canal ont été fixées à $W_P = W_N = 300 \text{ } \mu\text{m}$.

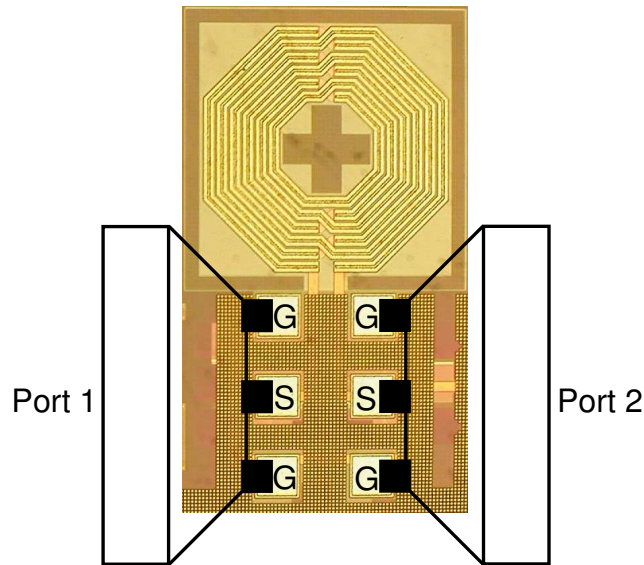
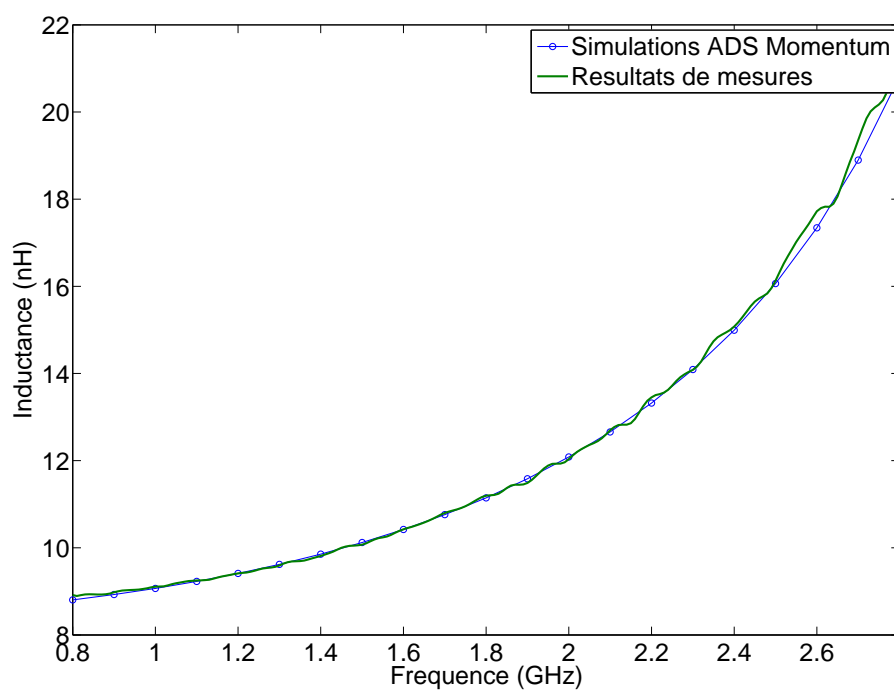


FIGURE 5.11 Banc d'essai de l'inductance octogonale.

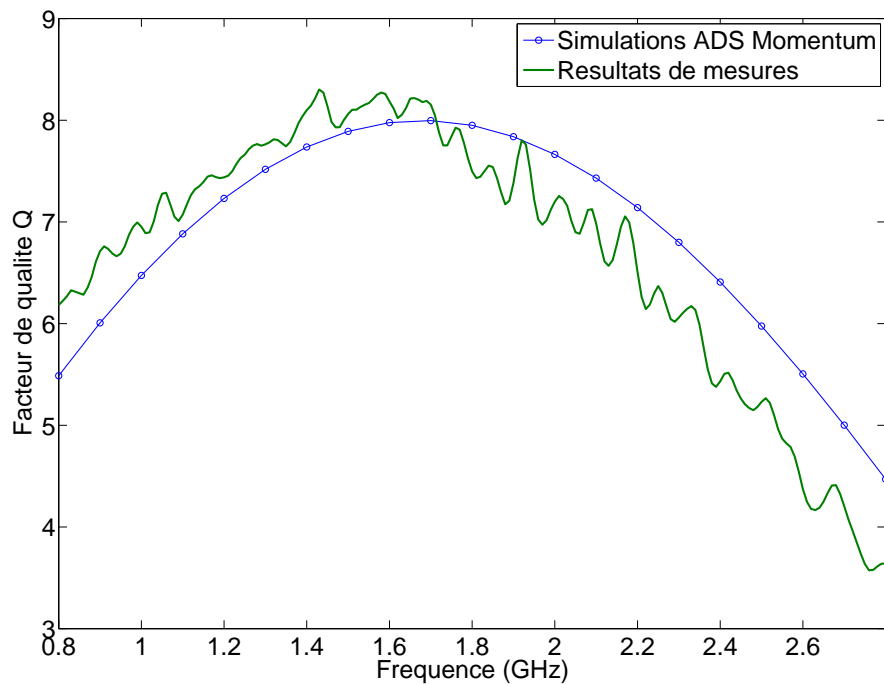
5.6.2 Caractérisation de l'inductance

La figure 5.11 montre une photo prise au microscope de l'inductance implémentée. Les performances de l'inductance ont été caractérisées à l'aide de mesures à deux ports faites directement sur la puce en utilisant un analyseur de réseau RF Agilent 8753E ainsi que des sondes micro-ondes G-S-G (*Ground-Signal-Ground*) Karl Suss Z040 100μ dont les empreintes sont superposées sur la photo de l'inductance. La valeur ainsi que le facteur de qualité Q de l'inductance en fonction de la fréquence sont montrés aux figures 5.12 a) et b). Sur ces graphiques, les courbes obtenues à l'aide des simulations ADS Momentum sont également présentes. À la fréquence d'opération du VCO, qui est de 1.830 GHz, la valeur mesurée de l'inductance est d'environ 11 nH et son facteur de qualité approche 8, en accord avec les résultats obtenus à l'aide des simulations Momentum. Notons que le banc d'essai de simulation de ADS Momentum a été développé de façon à tenir compte de la capacité parasite des sondes et des plots de contact de ces dernières. Cette approche s'est avérée nécessaire car une procédure de *de-embedding* permettant de soustraire les effets parasites des plots de mesure ne pouvait pas être effectuée dû à l'espace restreint sur la puce. En effet, une telle procédure aurait nécessité l'ajout sur la puce de structures G-S-G redondantes de validation en circuit ouvert et en circuit fermé [82]. Par contre, une calibration complète des sondes G-S-G et des câbles RF de l'analyseur de réseau a été effectuée avant de procéder à la prise de mesures sur la puce.

La plage de syntonisation du VCO en fonction de la tension de contrôle du VCO est montrée à la figure 5.13, telle que mesurée à la sortie du diviseur par $2 I/Q$. La plage de syntonisation mesurée



(a) Valeur de l'inductance en fonction de la fréquence.



(b) Facteur de qualité Q de l'inductance en fonction de la fréquence.

FIGURE 5.12 Caractérisation de l'inductance intégrée : simulations et résultats de mesure.

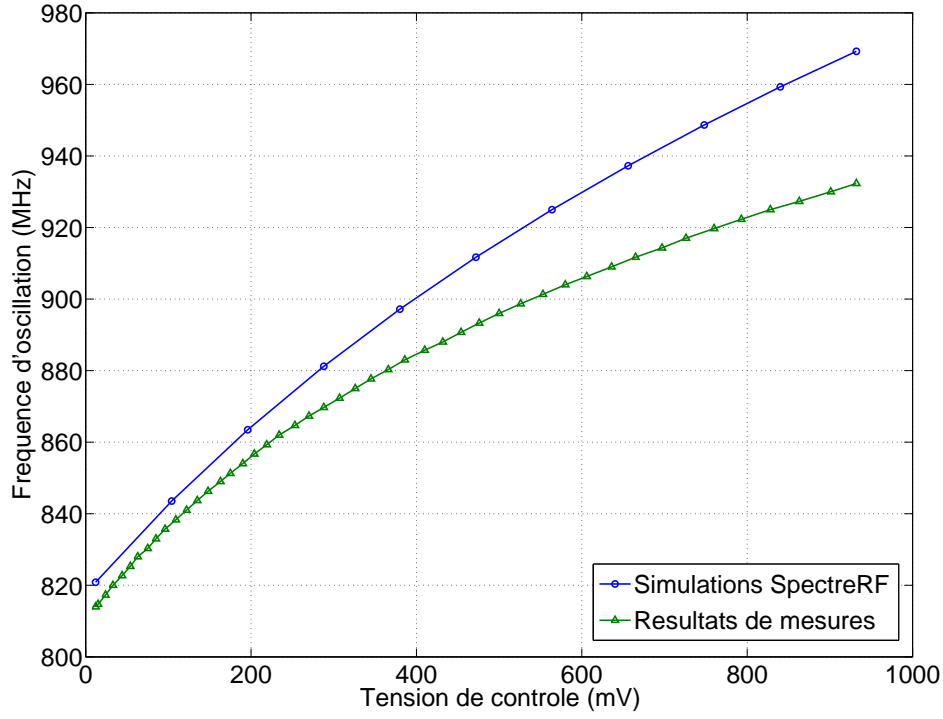


FIGURE 5.13 Plage de syntonisation simulée et mesurée du LC-VCO proposé à la sortie du diviseur par 2 I/Q .

à la sortie de diviseur par 2 s'étend de 815 MHz à 935 MHz, couvrant ainsi la plage de fréquence ISM de 902-928 MHz tel que requis. Les résultats de mesure sont en accord avec les simulations effectuées avec SpectreRF. Toutefois, des capacités parasites additionnelles non présentes dans les extractions des dessins de masques réduisent légèrement la plage de syntonisation mesurée sur la puce.

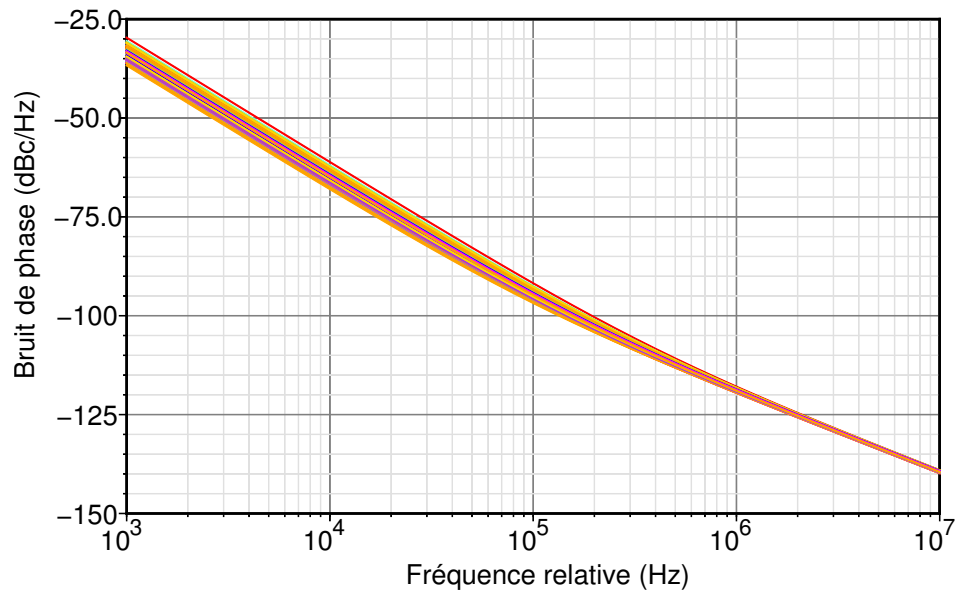
5.6.3 Impact de la tension de polarisation adaptative du VCO

Afin de quantifier l'impact relié l'utilisation d'un régulateur de voltage avec tension de référence adaptative au procédé, nous avons comparé les performances simulées obtenues avec le nouveau LC-VCO proposé tolérant aux variations de procédé avec celles obtenues avec un LC-VCO identique, mais dont le régulateur utilise une référence de tension fixe. Les deux LC-VCO ont été implémentés en utilisant des transistors de dimensions identiques, et la polarisation a été choisie de façon à assurer le démarrage des oscillations pour tous les coins du procédé. Pour ce faire, la référence de courant DC I_{REF} du VCO avec référence de tension adaptative a été fixée à 100 μA ,

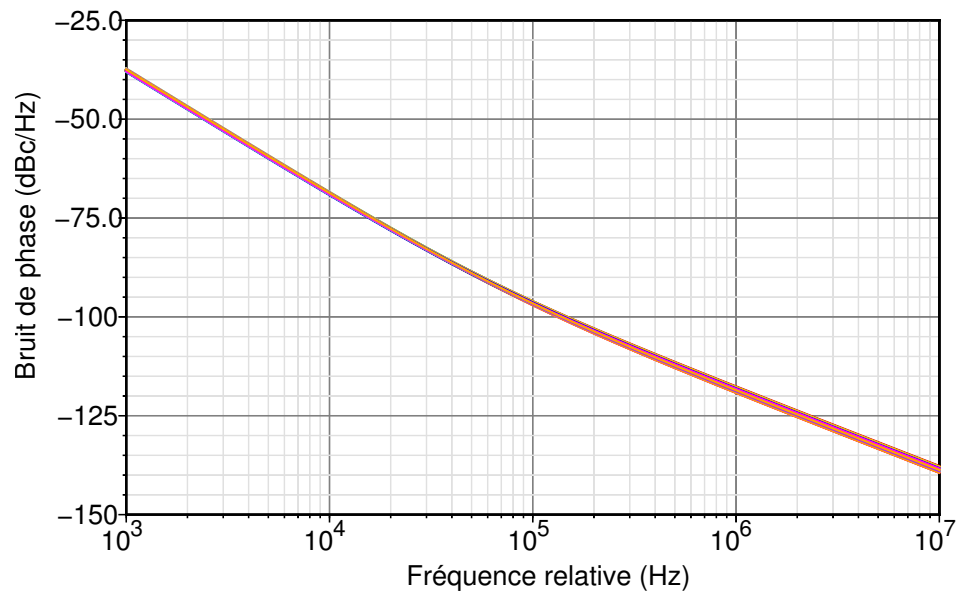
correspondant à une tension de référence du régulateur de voltage de 700 mV pour le coin le plus lent. Dans le cas du LC-VCO avec référence de tension fixe, la référence de tension du régulateur a été fixée à 700 mV, la tension d'alimentation du VCO minimale assurant le démarrage adéquat des oscillations pour ce même coin de procédé.

Des simulations Monte Carlo du bruit de phase des deux LC-VCO en fonction de la fréquence de décalage de la porteuse à 1.830 GHz ont été effectuées pour vérifier l'impact de la polarisation adaptative sur le bruit de phase. Les résultats obtenus suite à 200 passes du simulateur sont montrés à la figure 5.14. La variabilité du bruit de phase près de la porteuse du VCO avec référence de tension fixe est significativement plus élevée que celle du VCO proposé où la tension de référence du régulateur s'adapte aux variations de procédé. La déviation à $3\text{-}\sigma$ diminue de 3.53 dB à 0.48 dB à 10 KHz de décalage, et la moyenne du bruit de phase près de la porteuse y est réduite d'environ 3.6 dB. Cette diminution du bruit de phase près de la porteuse est une conséquence directe de l'amélioration de la symétrie de la forme d'onde à la sortie du VCO pour les tous les coins lorsque qu'une tension d'alimentation régulée adaptative V_{REG} est utilisée. Tel qu'il l'a été mentionné précédemment, une plus grande symétrie de la forme d'onde oscillante diminue de façon significative la transposition à haute fréquence (*upconversion*) du bruit flicker $1/f$ des dispositifs actifs vers la région en $1/f^3$ près de la porteuse RF [70]. À une fréquence éloignée de la porteuse, la transposition du bruit $1/f$ des transistors n'est plus problématique et le bruit thermique devient le contributeur principal au bruit de phase du VCO. Le bruit de phase causé par le bruit thermique à des fréquences éloignées de la porteuse est inversement proportionnel au carré de l'amplitude maximale crête-à-crête de la tension développée aux bornes du résonateur LC [77]. La déviation à $3\text{-}\sigma$ du bruit de phase à une distance de 1 MHz de la porteuse est légèrement supérieure pour le LC-VCO à référence de tension adaptative comparativement avec celle du LC-VCO utilisant une alimentation fixe. La cause de cette légère dégradation est la dépendance de l'amplitude des oscillations sur la tension d'alimentation du VCO selon le coin du procédé, qui est réduite pour les coins rapides.

Les performances obtenues avec les simulations Monte Carlo pour les deux architectures de LC-VCO sont résumées dans le tableau 5.2. La consommation de courant du nouveau LC-VCO tolérant aux variations de procédé est de 397 μA RMS sous une alimentation de 1 V, avec une variation à 3σ de 57 μA RMS. La moyenne de la consommation de puissance RMS du LC-VCO proposé avec alimentation adaptative est environ 40% inférieure à celle du LC-VCO à alimentation fixe, tout comme l'est la déviation à $3\text{-}\sigma$ du courant RMS consommé. Ceci illustre clairement l'avantage de laisser le circuit s'ajuster de façon autonome selon les paramètres du procédé plutôt que de concevoir le circuit pour le pire coin. Grâce à l'introduction du circuit de génération d'une tension d'alimentation régulée qui s'adapte aux variations de procédé, un LC-VCO à très basse consommation de puissance peut être implémenté sans compromettre le rendement (*yield*) après fabrication.



(a) Bruit de phase du LC-VCO avec une alimentation régulée fixe à 700 mV.



(b) Bruit de phase du LC-VCO proposé à tension d'alimentation adaptative.

FIGURE 5.14 Performance en terme de bruit de phase du nouveau LC-VCO proposé.

TABLEAU 5.2 Résultats des analyses Monte Carlo pour les deux implémentations de LC-VCO.

Paramètres		LC-VCO avec alimentation fixe	LC-VCO avec alimentation adaptative
Bruit de phase $\mathcal{L}(\Delta\omega)$	μ	-33.87 dBc/Hz	-37.64 dBc/Hz
	@ 1 kHz $\pm 3\sigma$	3.62 dB	0.54 dB
	@ 10 kHz μ	-65.21 dBc/Hz	-68.80 dBc/Hz
		$\pm 3\sigma$	3.53 dB
	@ 100 kHz μ	-94.92 dBc/Hz	-96.58 dBc/Hz
		$\pm 3\sigma$	2.54 dB
	@ 1 MHz μ	-118.82 dBc/Hz	-118.42 dBc/Hz
		$\pm 3\sigma$	0.78 dB
	Courant d'alimentation RMS μ	631 μ A	397 μ A
		$\pm 3\sigma$	103 μ A
Fréquence centrale f_0 μ	1.79 GHz	1.83 GHz	
	$\pm 3\sigma$	12.18 MHz	15.62 MHz

Toutefois, l'utilisation d'une tension d'alimentation adaptative résulte en un étalement légèrement supérieur de la fréquence centrale d'oscillation du VCO étant donnée la tension DC variable aux bornes des varactors, mais cette variation est largement couverte par la plage de syntonisation de 200 MHz du VCO. Le tableau 5.3 présente une comparaison des résultats obtenus avec le LC-VCO à tension d'alimentation adaptative avec deux LC-VCOs récemment publiés qui visent la réduction de l'impact des variations PVT. Le bruit de phase du LC-VCO proposé à un décalage de 100 kHz est comparable avec celui des deux autres VCOs tolérant aux variations de procédé. Il est important de mentionner que la tension d'alimentation de 1 V indiquée dans le tableau 5.3 est celle du régulateur linéaire. La tension d'alimentation régulée du LC-VCO est d'environ 650 mV pour le coin de procédé typique.

5.7 Conclusion

Dans ce chapitre, nous avons présenté l'architecture d'un LC-VCO qui permet de réduire l'impact des variations de procédé sur son bruit de phase et sa consommation de puissance. Le LC-VCO qui est proposé utilise un régulateur de voltage linéaire dont la tension de sortie s'adapte aux paramètres du procédé dans la région où l'oscillateur est implémenté sur le circuit intégré. De cette façon, le

TABLEAU 5.3 Comparaison des performances du LC-VCO tolérant aux variations de procédé proposé avec celles de LC-VCOs publiés récemment.

Paramètres	[75] [†]	[76] [†]	Ce travail [‡]
Procédé CMOS	0.18- μm	0.18- μm	90-nm
Fréquence centrale f_0 (GHz)	2.428	2.400	1.830
Tension d'alimentation V_{DD} (V)	0.5	1.8	1.0*
Consommation de courant (mA)	0.4	5.0	0.397
Bruit de phase @ 100 kHz (dBc/Hz)	-92.34	-92.30	-96.58

[†] Résultats de mesure

[‡] Résultats de simulations avec SpectreRF

* Tension d'alimentation du régulateur linéaire

LC-VCO est polarisé avec un courant initial DC I_{REF} connu, indépendant du coin et déterminé de façon à assurer le démarrage des oscillations. Les simulations Monte Carlo effectuées avec le simulateur SpectreRF confirment que l'utilisation d'une tension d'alimentation qui s'adapte aux variations de procédé réduit de façon significative l'étalement du bruit de phase du LC-VCO près de la porteuse, ainsi que sa consommation de puissance, tout en évitant de concevoir les circuits en fonction du pire cas.

CHAPITRE 6

IMPLÉMENTATION DU SYNTHÉTISEUR DE FRÉQUENCES : DIVISEUR PROGRAMMABLE ET RÉSULTATS DE MESURE

Nous présentons dans ce chapitre la conception du diviseur de fréquence, le module nécessaire à la syntonisation des porteuses RF dans la bande ISM de 902-928 MHz, transformant ainsi la PLL en synthétiseur de fréquences. Les résultats de mesure découlant de la caractérisation de ce synthétiseur à consommation ultra-faible fabriqué en technologie CMOS 90-nm de STMicroelectronics sont également présentés.

6.1 Diviseur de fréquence programmable

La figure 6.1 montre la position du diviseur par 2 I/Q et du diviseur programmable dans le synthétiseur de fréquences. La sortie différentielle du VCO, qui oscille à une fréquence f_{VCO} de 1830 MHz, est d'abord divisée par 2 afin de générer les signaux en phase et en quadrature I et Q de l'oscillateur local (LO). Ce signal, à une fréquence $f_{VCO}/2$, est ensuite divisé par le diviseur programmable par un facteur N de façon à ce que la fréquence finale de ce signal de rétroaction soit égale à celle de la référence f_{REF} , de l'ordre de 3.39 MHz dans le synthétiseur discuté ici. À l'exception du LC-VCO présenté au chapitre précédent, le diviseur de fréquence digital est le seul autre module opérant aux fréquences RF dans le synthétiseur. Dans un contexte où la consommation de puissance doit être minimale, la conception du diviseur de fréquence représente donc un défi de taille et le type de bascules utilisées doit être soigneusement étudié. En effet, la bascule-D est utilisée dans tous les modules du diviseur programmable du synthétiseur de fréquences, et ce à des fréquences allant du MHz au GHz selon leur position dans la chaîne de division. Le diviseur de fréquence étant un circuit numérique opérant à haute fréquence, sa consommation de puissance dynamique est proportionnelle à la fréquence et à la tension d'alimentation : $P \propto C_L \cdot f \cdot V_{DD}^2$. Le diviseur de fréquence bénéficie donc directement de l'utilisation d'un procédé nanométrique : les faibles capacités parasites C_L et la basse tension d'alimentation de 1 V réduisent sensiblement la consommation de puissance dynamique de ce module du synthétiseur.

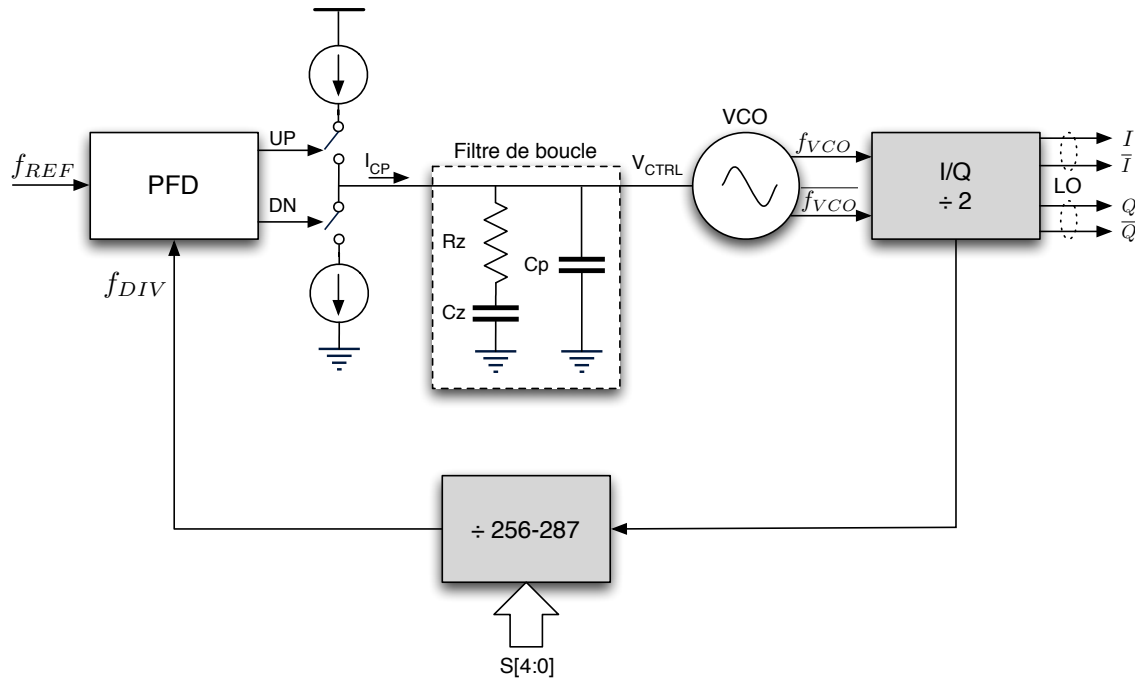


FIGURE 6.1 Place du diviseur programmable dans le synthétiseur proposé.

6.1.1 Diviseur par 2 pour la génération des signaux I/Q

Le diviseur de fréquence par 2 est utilisé afin de générer avec précision les composantes en phase I et en quadrature Q requises par les méthodes de modulation complexes. En comparaison avec la méthode traditionnelle utilisant un réseau de déphasage RC pour générer les composantes en phase et en quadrature, l'utilisation d'un diviseur par 2 est avantageuse car l'amplitude des composantes I/Q et leur relation de phase ne dépendent pas de la fréquence, et la consommation de puissance est plus faible. Le diviseur par 2 est connecté directement à la sortie du VCO et opère donc aux fréquences RF. Son architecture doit être sélectionnée avec soin afin de limiter sa consommation de puissance tout en minimisant son impact sur le comportement du LC-VCO, c'est-à-dire éviter de charger l'oscillateur et ainsi influencer la fréquence d'oscillation et la plage d'ajustement de ce dernier. Aussi, le choix de l'architecture du diviseur par 2 I/Q doit être compatible avec la plage de tension à la sortie du VCO qui oscille entre V_{SS} et V_{REG} , car les entrées d'horloge du diviseur sont directement connectées aux sorties V_{OUT} et $\overline{V_{OUT}}$ du VCO. Étant donné que la tension d'alimentation régulée du VCO est relativement basse pour les coins de procédé rapides, le diviseur par 2 I/Q doit également permettre de restaurer l'amplitude du signal analogique à la sortie du VCO aux niveaux logiques d'amplitude rail-à-rail requis par le diviseur programmable.

Le circuit diviseur par 2 I/Q qui a été implémenté dans le synthétiseur de fréquences est illustré

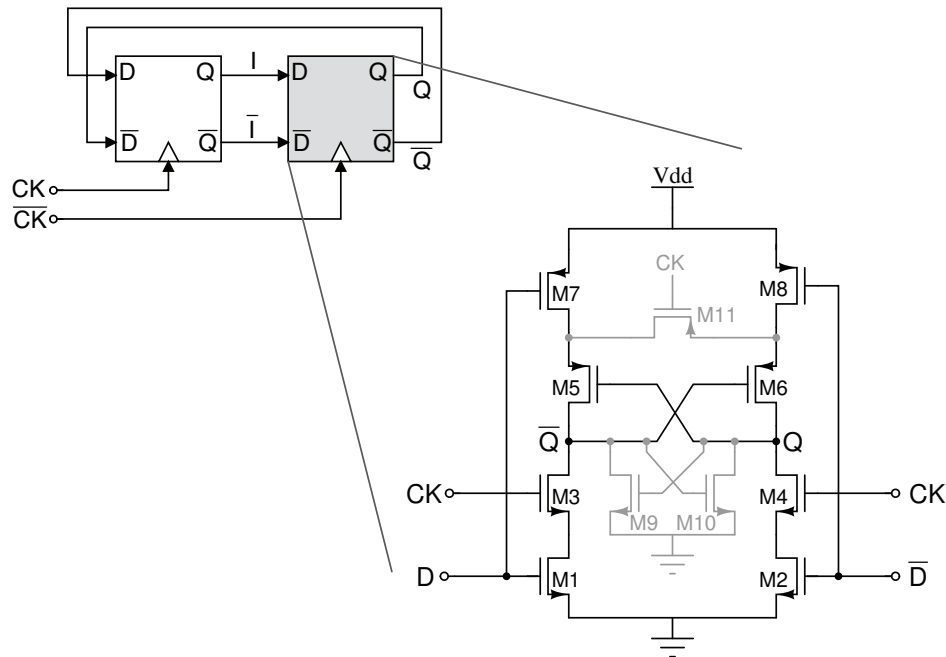


FIGURE 6.2 Diagramme bloc et schéma électronique du diviseur par 2 I/Q .

à la figure 6.2, qui montre également le schéma électronique des bistables SRIS utilisés [83]. Ce type de bistable a été choisi car leur structure différentielle offre des sorties complémentaires Q et \bar{Q} de façon inhérente. En utilisant des bistables de type TSPC, la génération des signaux de sortie complémentaires nécessiterait un inverseur qui introduirait un délai indésirable, et donc une erreur de phase, entre les composantes en phase et en quadrature. Une autre raison pour laquelle ce type de bistable a été favorisé est leur insensibilité au ratio des transistors NMOS et PMOS, grâce à la connexion simultanée des grilles des transistors NMOS et PMOS au signal de donnée D . Les bistables dont le fonctionnement dépend du choix des dimensions relatives des transistors NMOS et PMOS peuvent présenter un délai excessif ou même cesser de fonctionner pour certains coins de procédé ou de température [83]. Dans un procédé CMOS nanométrique où les variations de procédé sont omniprésentes, cette insensibilité au ratio des transistor est clairement avantageuse. Enfin, l'addition des transistors de taille minimale dessinés en gris pâle dans la figure 6.2 rend ce bistable statique : les transistors NMOS M9-M10 verrouillent la sortie basse alors que le transistor PMOS M11 maintient la sortie haute via M7 ou M8, selon le niveau des entrées D et \bar{D} .

Dans ce type de bistable, les transistors d'horloge sont de type NMOS et sont donc compatibles avec la plage de tension à la sortie du LC-VCO, qui oscille avec une amplitude de $V_{REG}/2$ autour d'une tension mode-commun égale à $V_{GS,N}$. Compte tenu des niveaux de tension des signaux f_{VCO} et $\overline{f_{VCO}}$, l'utilisation de bistables avec des transistors d'horloge de type PMOS n'était pas une option. La division par 2 du signal d'entrée est accomplie en connectant deux de ces bistables différentiels

en configuration maître-esclave avec les sortie Q et \overline{Q} du bistable esclave respectivement rebouclées sur les entrées de données \overline{D} et D du bistable maître. Lorsque CK est haut, le premier bistable est en mode transparent, la valeur de sa sortie Q suit celle de l'entrée D , alors que le deuxième bistable est en mode verrouillé, sa sortie Q gardant la valeur présente à l'entrée D lors du dernier front montant de \overline{CK} . Lorsque le signal CK redescend, le rôle des bistables est interchangé : le bistable maître retient à sa sortie la valeur présente à son entrée D lors du front descendant de CK , alors que le second bistable entre en mode transparent. Ce mécanisme entraîne un doublement de la période des signaux Q et \overline{Q} par rapport aux signaux CK et \overline{CK} , donc une diminution d'un facteur 2 de la fréquence d'entrée. Les sorties différentielles du bistable maître sont les composantes en phase I et \overline{I} de l'oscillateur local (LO), alors que les sorties du bistable esclave sont les composantes en quadrature Q et \overline{Q} .

6.1.2 Diviseur de fréquence programmable

Le diviseur de fréquence programmable, illustré à la figure 6.3, est connecté à la sortie du diviseur-par-2 I/Q et permet un facteur de division allant de 256 à 287. Il est formé d'un circuit de mise à l'échelle à double module $\div 8/9$, d'un diviseur par P fixe $\div 32$, et d'un compteur à rebours programmable à 5 bits. Le circuit de mise à l'échelle à double module divise par 8 lorsque $MC = 1$, et par 9 lorsque $MC = 0$. Ce diviseur programmable fonctionne de la façon suivante :

- ◇ Initialement, A_0 à $A_4 = 0$, $MC = 0$ et le signal CK du compteur à rebours provient donc du diviseur par P fixe. Au front montant du diviseur par P , la valeur $S[0 : 4]$ est chargée dans le compteur A .
- ◇ Par la suite, A_0 à $A_4 \neq 0$ et $MC = 1$. Le signal d'horloge CK provient du diviseur par $M/M+1$ et le signal \overline{LD} est désactivé. Le compteur à rebours décompte à partir de S vers 0 et le circuit de mise à l'échelle à double module divise par $M+1$.
- ◇ Lorsque le compteur à rebours atteint 0, A_0 à $A_4 = 0$ et le signal de contrôle MC passe à 0. Le circuit de mise à l'échelle à double module divise alors par M . Le signal d'horloge du compteur A provient alors du diviseur par P fixe, qui requiert encore $P - S$ coups d'horloge avant que sa sortie passe de 0 à 1.
- ◇ Le diviseur par P fixe sature et génère un front montant à sa sortie. Cette impulsion recharge le compteur A avec la valeur d'entrée S servant à choisir le canal, et le signal de contrôle MC passe de 0 à 1.

Le facteur de division résultant est donné par :

$$N = (M + 1)S + M(P - S) = M \cdot P + S \quad (6.1)$$

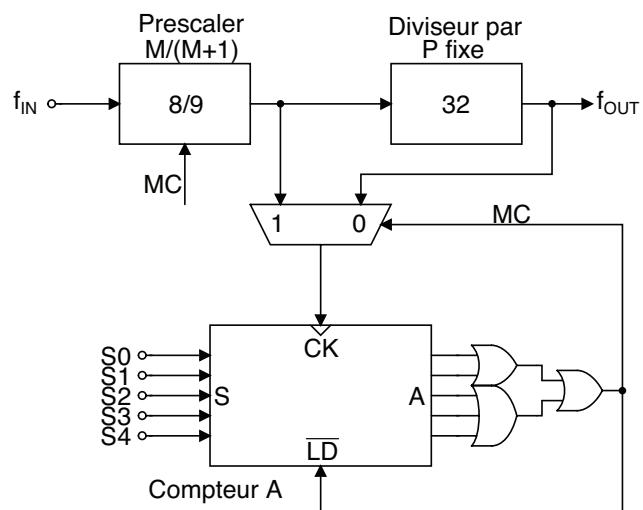


FIGURE 6.3 Diagramme bloc du diviseur de fréquence programmable.

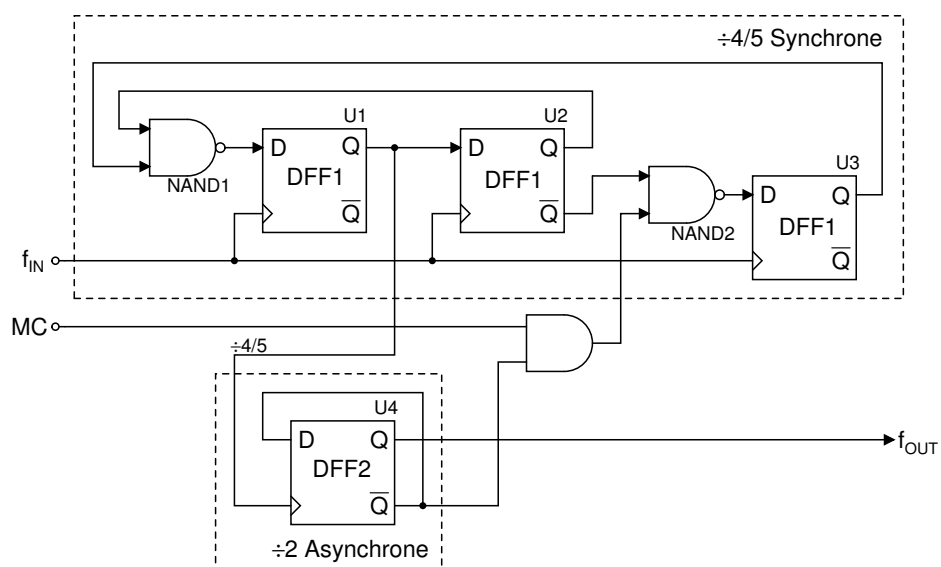


FIGURE 6.4 Circuit de mise à l'échelle à double module $\div 8/9$.

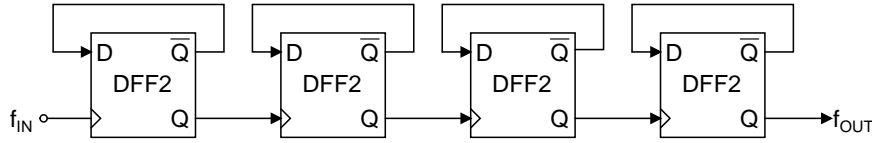


FIGURE 6.5 Diviseur par 32 asynchrone.

6.1.2.1 Circuit de mise à l'échelle à double module $\div 8/9$ et diviseur fixe par $\div 32$

L'architecture du circuit de mise à l'échelle à double module $\div 8/9$ est montrée à la figure 6.4. Il consiste en un diviseur $\div 4/5$ synchrone ainsi que d'un diviseur par 2 asynchrone, qui est simplement implémenté à l'aide d'une bascule-D dont la sortie inversante est ramenée à l'entrée. Lorsque le signal de contrôle MC est à 0, la sortie de la porte AND est toujours à 0 et la sortie de la deuxième porte NAND est toujours au niveau logique 1. La sortie Q de la troisième bascule est donc toujours à 1, transformant ainsi la première porte NAND en un simple inverseur. Les deux premières bascules-D forment donc un diviseur par 4 synchrone dont la sortie est divisée par 2 par le diviseur asynchrone, résultant en un facteur de division total de 8. Lorsque le signal de contrôle MC passe au niveau logique 1, la sortie de la porte AND passe à 1 à chaque période du diviseur $\div 4/5$ synchrone. Durant l'instant où la sortie du diviseur par 2 (le signal f_{OUT}) est à 0 ($\overline{Q} = 1$), la deuxième porte NAND agit comme un inverseur et l'entrée de la troisième bascule-D consiste en la sortie Q de la deuxième bascule. Le diviseur synchrone divise alors par 5, car l'ajout de la troisième bascule avec la première porte NAND introduit une latence supplémentaire d'une période de f_{IN} . Après ces 5 périodes de f_{IN} , le signal $\div 4/5$ à l'entrée du diviseur par 2 subit une transition montante et la sortie \overline{Q} du diviseur par deux asynchrone revient à 0. Le nombre total de périodes de f_{IN} requis avant une transition du signal f_{OUT} est donc égal à 9 lorsque $M = 1$. Enfin, l'architecture du diviseur par P fixe $\div 32$ asynchrone est montrée à la figure 6.5. Il consiste en une cascade de 4 bascules-D TSPC optimisées pour les basses fréquences configurées en diviseur-par-2. La conception des bascules TSPC de type 1 (DFF1) et de type 2 (DFF2) sera discutée à la section 6.1.2.3.

6.1.2.2 Compteur à rebours programmable

Afin que la PLL puisse synthétiser des fréquences distinctes dans la bande ISM de 902 à 928 MHz, il est nécessaire d'utiliser un compteur programmable à l'intérieur du diviseur de fréquence, tel que l'illustre le terme S dans l'équation 6.1. Deux principes de fonctionnement sont possibles pour

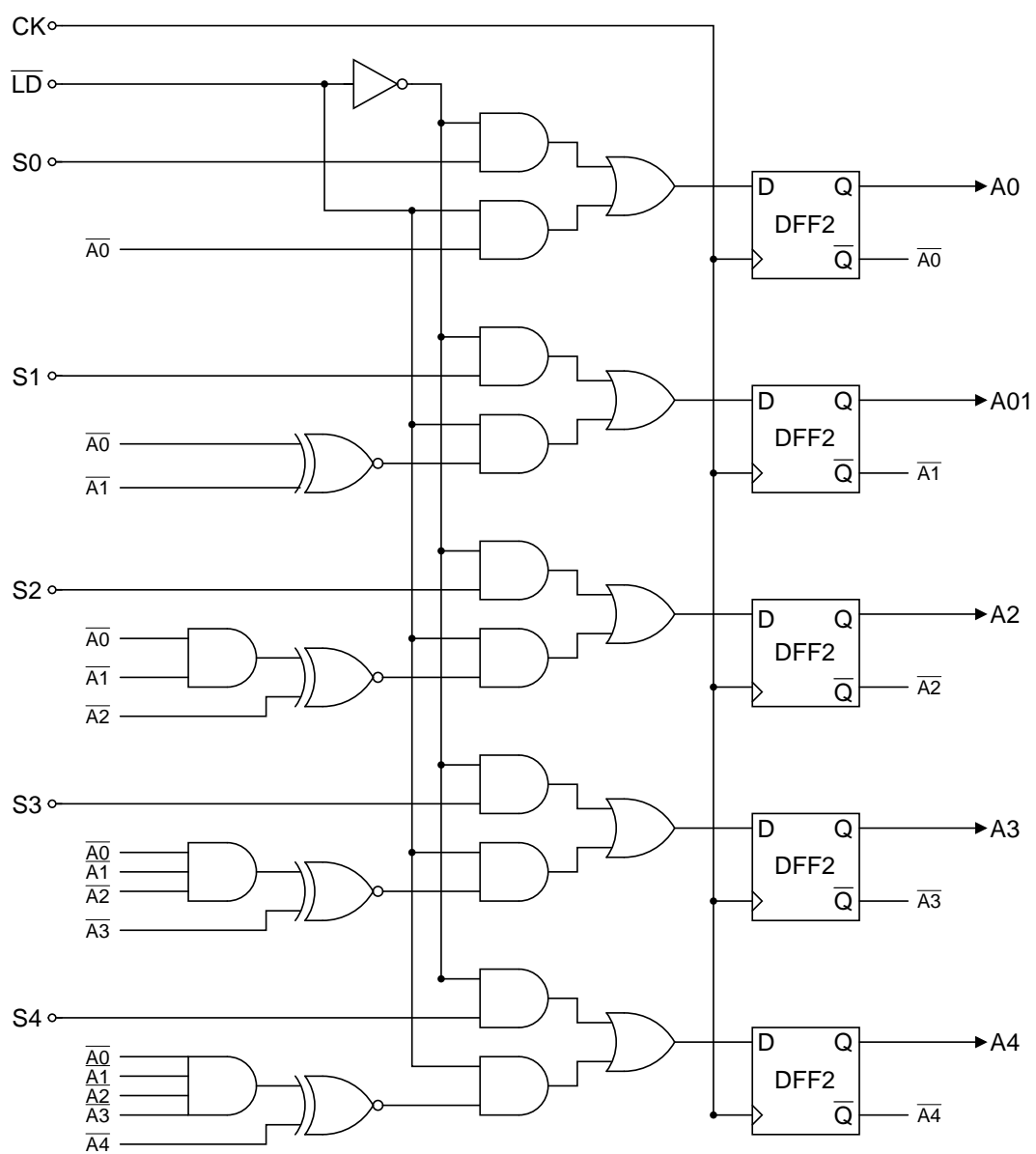


FIGURE 6.6 Compteur à rebours programmable à 5-bit.

parvenir à cette fonctionnalité. Le premier consiste à utiliser un compteur ascendant dont la valeur de sortie augmente à chaque période de son signal d'entrée, et de comparer celle-ci avec la valeur S correspondant au canal désiré dans la bande RF. Cette technique nécessite le développement d'un registre de comparaison programmable ainsi qu'un système de remise à zéro du compteur à chaque cycle. Une approche plus simple a été utilisée dans le synthétiseur de fréquences proposé : un compteur à rebours est utilisé plutôt qu'un compteur ascendant. Le circuit électronique du compteur à rebours est montré à la figure 6.6. La première étape consiste à charger la valeur S correspondant au canal souhaité dans les registres du compteur en activant le signal actif bas \overline{LD} . Lorsque \overline{LD} est au niveau logique bas, les signaux logiques $S[4 : 0]$ sont appliqués aux entrées des bascules-D, alors que les signaux de rétroaction du compteur $A[4 : 0]$ sont désactivés par les portes AND dont une des entrées est connectées à $\overline{LD} = 0$. Une fois cette opération réalisée, le signal \overline{LD} passe à 1 et le décompte commence. À chaque nouvelle période du signal d'entrée CK , la valeur interne du compteur à rebours décroît, jusqu'à ce qu'elle arrive à zéro. À ce moment, la valeur initiale S est rechargée dans le compteur et le processus recommence.

6.1.2.3 Conception des bascules-D

La consommation de puissance du diviseur programmable a été minimisée en concevant et en réalisant les dessins de masque des bascules-D plutôt que d'utiliser celles disponibles dans la librairie du *Design Kit* de STMicroelectronics. Deux types de bascules-D TSPC (*True Single Phase Clocking*) ont été conçues et dessinées selon la fréquence d'opération et leur position dans la chaîne de division. Dans les schémas des circuits numériques précédents, ces bascules étaient distinguées l'une de l'autre par l'annotation DFF1 et DFF2. La section $\div 4/5$ du diviseur par 8/9 qui opère aux fréquences RF a été implémentée à l'aide des bascules-D TSPC de type 1 (DFF1), montrées à la figure 6.7 [83]. Cette bascule-D à 11 transistors est efficace à haute fréquence avec une consommation de puissance dynamique très faible lorsque la tension d'alimentation est basse. Cette bascule est formée à partir de la cascade d'un étage P-C²MOS, d'un étage de précharge N et d'un étage N-C²MOS. La valeur du signal de donnée D est verrouillée lors du front montant de l'horloge CK . Comme le montre la figure 6.7, la bascule-D TSPC est en phase de précharge lorsque le signal d'horloge CK est au niveau logique 0. Le noeud $Y2$ est préchargé à V_{dd} , alors que le niveau logique du noeud $Y1$ dépend du signal de donnée D : $Y1 = 1$ lorsque $D = 0$ et $Y1 = 0$ lorsque $D = 1$. La phase d'évaluation survient lorsque l'horloge CK passe au niveau logique 1. Dans le cas où $D = 0$, le noeud $Y2$ est alors déchargé à la masse par M4-M5, et le transistor PMOS M9 tire la sortie inversante \overline{Q} vers V_{dd} . Lorsque $D = 1$, la grille du transistor M5 est à la masse et le noeud $Y2$, préalablement préchargé à V_{dd} , active le transistor NMOS M8 qui, avec M7, tire la sortie inversante \overline{Q} vers 0.

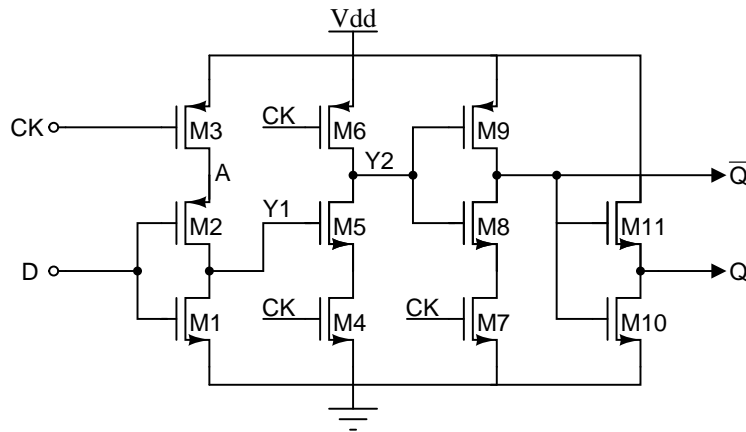


FIGURE 6.7 Bascule-D TSPC (DFF1).

Cette bascule-D dynamique TSPC requiert toutefois une fréquence minimale d'horloge afin d'opérer correctement dû aux courants de fuite dans les procédés CMOS nanométriques. Voici une situation pouvant potentiellement mener au verrouillage du mauvais niveau logique à la fin de la phase d'évaluation. Supposons que l'entrée D est initialement à 1 durant la phase de précharge, lorsque $CK = 0$. Le noeud A est alors préchargé au niveau logique 1, et il en est de même pour le noeud $Y2$ alors que le noeud $Y1$ est au niveau 0, rendant inactif le transistor NMOS $M5$. Si le signal de donnée D passe au niveau bas lors de la phase d'évaluation ($CK = 1$), le transistor $M1$ est éteint très rapidement et le transistor $M2$ est activé. La charge au noeud A durant la phase de précharge circule dans le transistor PMOS $M2$ et s'accumule au noeud $Y1$. Puisque la charge au noeud A est accumulée sur les capacités formées par la combinaison parallèle de C_{DG3} et C_{SG2} , une capacité significativement plus faible que la capacité C_{GS5} de la grille de $M5$, l'augmentation de la tension au noeud $Y1$ est relativement faible. Toutefois, cette augmentation de tension à la grille de $M5$ est suffisante pour le polariser en inversion faible, déchargeant ainsi le noeud $Y2$ vers la masse à travers $M4$. Si l'horloge CK demeure au niveau logique 1 trop longtemps, alors le transistor $M9$ sera activé et le mauvais niveau logique sera verrouillé sur \overline{Q} à la fin de la phase d'évaluation.

Le diviseur par 2 asynchrone faisant partie du circuit de mise à l'échelle à double module, ainsi que le diviseur par 32 asynchrone, opèrent à basse fréquence et nécessitent l'utilisation de bascules-D TSPC optimisées en conséquence. Cette bascule de type 2 (annotée DFF2 dans les figures précédentes) est montrée à la figure 6.8. Cette configuration a été proposée par Huang *et al.* [84] afin d'éliminer la contrainte reliée à la fréquence d'opération minimale discutée précédemment et aussi prévenir certains aléas affectant la bascule-D TSPC pour certaines transitions des signaux D et CK . L'optimisation des dimensions des transistors des bascules-D TSPC et TSPC optimisées pour les basses fréquences a été effectuée par simulations Spectre à l'aide de la technique présentée par

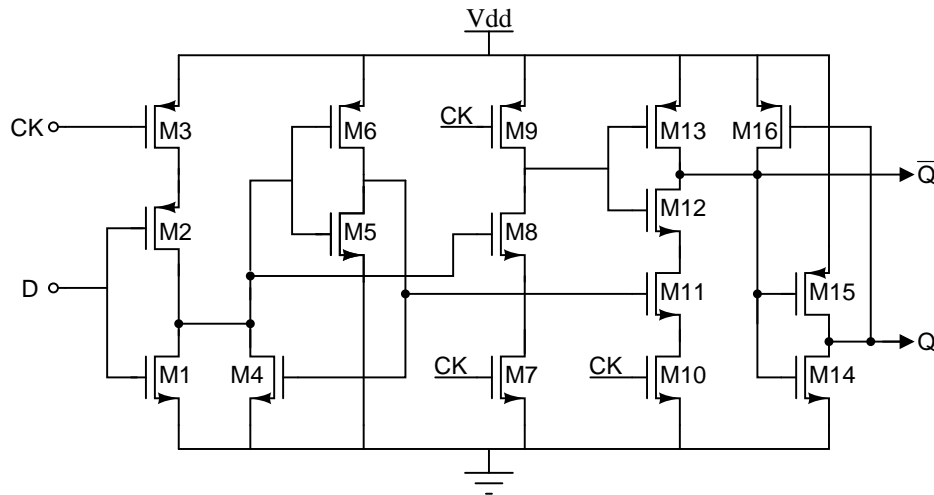


FIGURE 6.8 Bascule-D TSPC optimisée pour opérer à basses fréquences (DFF2).

Huang *et al.* [84]. Enfin, les bascules TSPC nécessitent que le signal d'horloge d'entrée soit pratiquement une onde carrée et rail-à-rail afin d'opérer à haute fréquence. Cette contrainte n'affecte pas le diviseur par 8/9, car la sortie de l'étage précédent, le diviseur-par-2 avec sortie I/Q , convertit justement le signal sinusoïdal de sortie du VCO en une onde carrée rail-à-rail. Aussi, le fait que les signaux internes des bascules TSPC soient rail-to-rail améliore le rapport signal-à-bruit, ce qui signifie un bruit de phase plus faible, et la nature très abrupte des transitions des signaux d'horloge dans les bascules TSPC réduit également leur contribution au bruit de phase. En effet, la jigue dans les bascules est principalement causée par le bruit sur le signal d'horloge qui module de façon aléatoire l'instant où le seuil de déclenchement est atteint [85].

6.2 Résultats de simulation et de mesure du synthétiseur de fréquences

6.2.1 Détails d'implémentation

Le synthétiseur de fréquences à diviseur entier a été conçu en assemblant le diviseur de fréquence présenté dans ce chapitre avec le LC-VCO, le détecteur de phase/fréquence, la pompe de charges et le filtre de boucle présentés dans les chapitres précédents. Des tampons de sortie (*buffers*) ont été conçus afin de permettre la mesure des signaux de sortie du synthétiseur dans l'environnement 50Ω caractéristique des appareils de mesure RF. Le synthétiseur a été fabriqué en utilisant le procédé CMOS digital 7M2T 90-nm de STMicroelectronics. L'espacement centre-à-centre des plots de soudure est de $100\ \mu\text{m}$. Une photographie de la puce est montrée à la figure 6.9, où les différents modules du synthétiseurs sont annotés : le LC-VCO et son régulateur de tension, le diviseur de

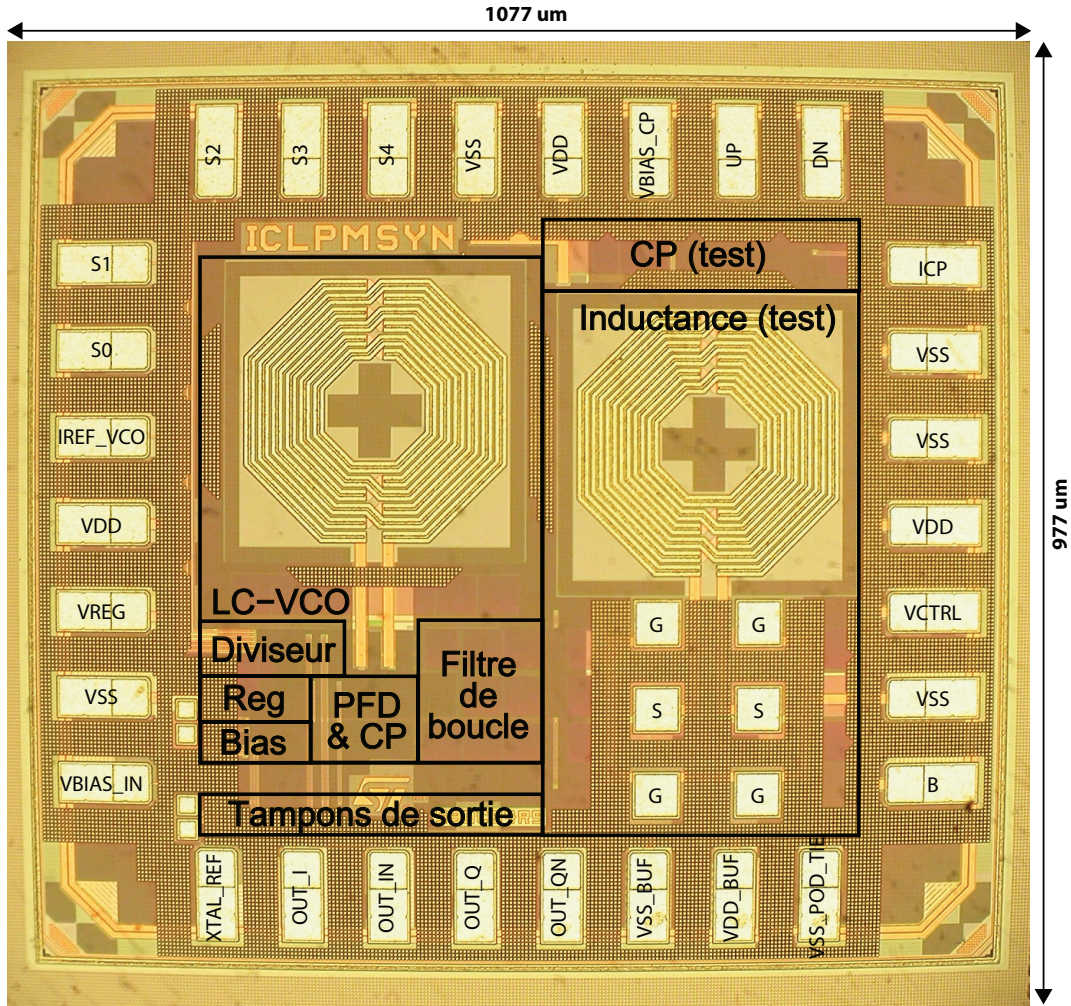


FIGURE 6.9 Microphotographie du circuit intégré du synthétiseur de fréquences.

fréquence, le filtre de boucle, le détecteur de phase/fréquence, la pompe de charges, le circuit de polarisation (*bias*), ainsi que les tampons de sortie. Cette puce contient également une inductance supplémentaire, identique à celle utilisée dans le LC-VCO, avec les ports G-S-G (*Ground-Signal-Ground*) différentiels requis pour sa validation, ainsi qu'une version autonome de la pompe de charges, utilisée pour générer les résultats présentés aux chapitres 4. Les plots d'entrée/sortie (I/O) de la puce sont aussi annotés sur la figure 6.9, et sont décrits au tableau 6.1. L'espace restant sur la puce est entièrement rempli de condensateurs de découplage entre l'alimentation V_{DD} , les tensions de polarisation, et V_{SS} . La capacité de découplage ainsi intégrée est de l'ordre de 50 pF.

Des alimentations séparées sont utilisées pour le synthétiseur de fréquences et les tampons de sortie 50Ω, car ces derniers soutirent un courant significatif. Aussi, plusieurs plots d'alimentation V_{DD} et V_{SS} sont utilisés afin de diminuer l'inductance parasite des fils de connexion (*bondwires*). Ceci

TABLEAU 6.1 Définition des ports d'entrées et sorties du circuit intégré.

Ports	Type	Fonction
S[4 :0]	Entrées numériques	Sélection du canal du synthétiseur
VSS	Alimentation	Masse du coeur du synthétiseur
VDD	Alimentation	Alimentation positive du coeur du synthétiseur
VBIAS_CP	Entrée analogique	Tension de référence de la pompe de charges
UP	Entrée numérique	Sélection du courant I_{UP} de la pompe de charges
DN	Entrée numérique	Sélection du courant I_{DN} de la pompe de charges
ICP	Sortie analogique	Courant de sortie de la pompe à charge
VCTRL	Sortie analogique	Tension de contrôle du VCO (<i>pour validation</i>)
B	Sortie numérique	Sortie du diviseur programmable (<i>pour validation</i>)
VSS_POD_TIE	Alimentation	Masse des contacts substrat des tampons 50 Ω
VDD_BUF	Alimentation	Alimentation positive des tampons 50 Ω
VSS_BUF	Alimentation	Masse des tampons 50 Ω
OUT_Q(N)	Sorties analogiques	Composantes Q différentielles du $\div 2 I/Q$
OUT_I(N)	Sorties analogiques	Composantes I différentielles du $\div 2 I/Q$
XTAL_REF	Entrée numérique	Signal de référence f_{REF} du synthétiseur
VREG	Sortie analogique	Tension de sortie du régulateur de voltage du VCO
IREF_VCO	Entrée analogique	Courant de référence du VCO (<i>pour validation</i>)
VBIAS_IN	Entrée analogique	Tension de référence du circuit de polarisation

assure que les circuits sensibles du synthétiseur ne sont pas affectés par des rebonds de l'alimentation. Le substrat de tous les modules du synthétiseurs est solidement connecté à la masse V_{SS} à l'aide d'une multitude de contacts au substrat (*substrate taps*). Enfin, une large bande de garde consistant de plusieurs rangées de contacts au substrat connectés à une masse dédiée $V_{SS_POD_TIE}$ est placée entre les régions où sont implémentées le synthétiseur et les tampons de sortie afin de recueillir le bruit substrat généré par ces derniers.

6.2.2 Circuit imprimé de validation et équipement de test

Le circuit intégré du synthétiseur est placé dans un boîtier de type QFN (*Quad-Flat No Lead package*) à 32 broches. Ce type de boîtier, dû à l'absence de broches de soudure et de l'inductance et des capacités parasites qui y sont associées, offre d'excellentes performances pour les circuits RF. Toutes les entrées/sorties RF du synthétiseur sont situées sur le même côté du boîtier, et l'emplacement de la puce dans le boîtier ainsi que le diagramme de connections (*bonding diagram*) ont été

prévus de façon à minimiser la longueur — et donc l'inductance — des fils de connexion. Un circuit imprimé à deux couches, utilisant un substrat FR-4 d'une épaisseur de 28-mils, a été conçu pour permettre la validation du circuit intégré. Le dessin de ce circuit imprimé a été conçu à l'aide du logiciel Eagle Layout Editor de la compagnie CadSoft. La photographie du prototype de validation ainsi que son schéma électrique sont montrés à l'annexe IV. La majorité des composants externes visibles sur ce circuit imprimé sont des condensateurs de découplage. Le signal RF d'entrée de référence du synthétiseur est généré à l'aide d'un générateur de fonctions 80 MHz Agilent 33250A. Les signaux transitoires sont mesurés à l'aide d'un analyseur de signal Tektronix CSA7404B, et les mesures dans le domaine fréquentiel sont effectuées à l'aide d'un analyseur de spectre Agilent E4440A, fonctionnant de 3 Hz à 26.5 GHz.

6.2.3 Temps de démarrage et bruit de phase

Le temps de stabilisation du synthétiseur de fréquences, montré à la figure 6.10, a été mesuré en observant le temps requis par le signal de contrôle du VCO V_{CTRL} pour atteindre l'état d'équilibre après une modification de type échelon de la fréquence de référence f_{REF} . Le synthétiseur de fréquences requiert environ 11 μs pour atteindre à nouveau l'équilibre suite à un saut de 10 MHz de f_{REF} . La figure 6.11 montre les signaux à l'entrée du détecteur de phase/fréquence lorsque le synthétiseur est verrouillé. Le canal C2 (trace supérieure) est le signal de référence alors que C3 (trace inférieure) est le signal à la sortie du diviseur de fréquence programmable. L'erreur de phase entre le signal de référence et la sortie du diviseur de fréquence est nulle grâce au gain infini en DC résultant de la combinaison du détecteur de phase-fréquence et de la pompe de charges, tel qu'expliqué au chapitre 2.

Les courbes de bruit de phase simulée et mesurée du synthétiseur de fréquences sont montrées à la figure 6.12. Le bruit de phase mesuré est de -77 dBc/Hz à une distance de 10 kHz de la porteuse, et de -113 dBc/Hz à une distance de 1 MHz. Les résultats de mesures faites avec l'analyseur de spectre sont en accord avec les résultats de simulations SpectreRF obtenus à partir du modèle Verilog-A du synthétiseur de fréquences. Les performances de bruit de phase du synthétiseur satisfont les critères définis à l'annexe I, où l'on avait spécifié que le bruit de phase maximum tolérable pour l'oscillateur local du récepteur implantable est de -78 dBc/Hz à 300 KHz, -84 dBc/Hz à 600 KHz, et de -88 dBc/Hz à 1 MHz de décalage en fréquence de la porteuse. Un résumé des performances de ce synthétiseur est présenté au tableau 6.2. Enfin, le tableau 6.3 présente une comparaison de la consommation de puissance du synthétiseur proposé avec celle de synthétiseurs à diviseur entier récemment présentés dans la littérature. Avec une consommation de puissance RMS de 640 μW , en excluant les tampons de sortie 50 Ω utilisés pour établir l'interface avec les équipements de

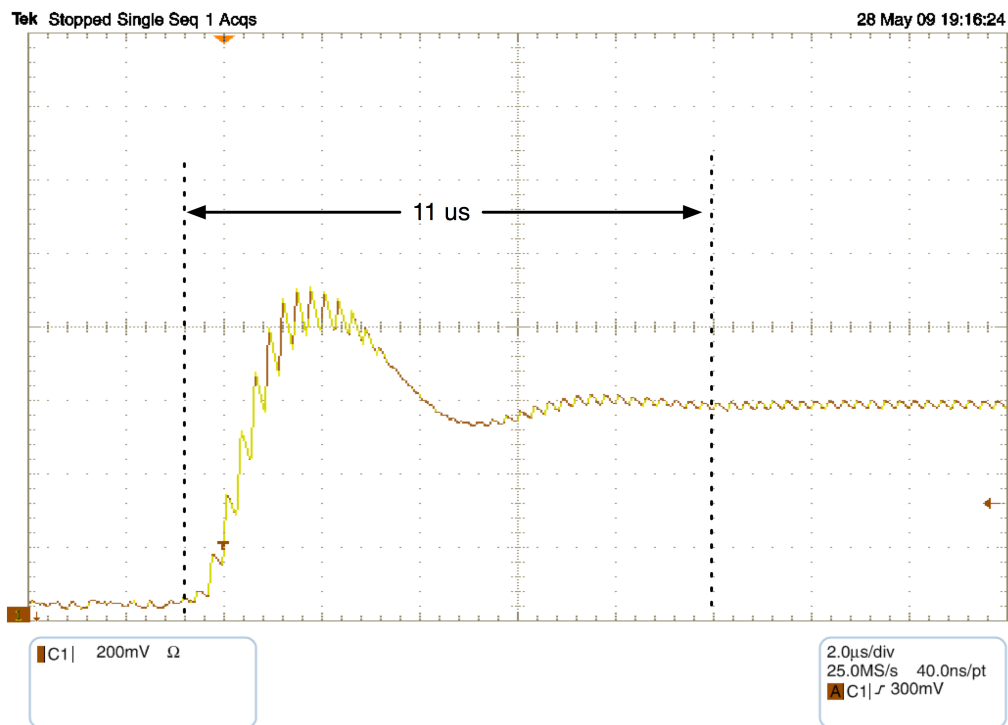


FIGURE 6.10 Tension V_{CTRL} du synthétiseur suite à un saut de fréquence de 10 MHz.

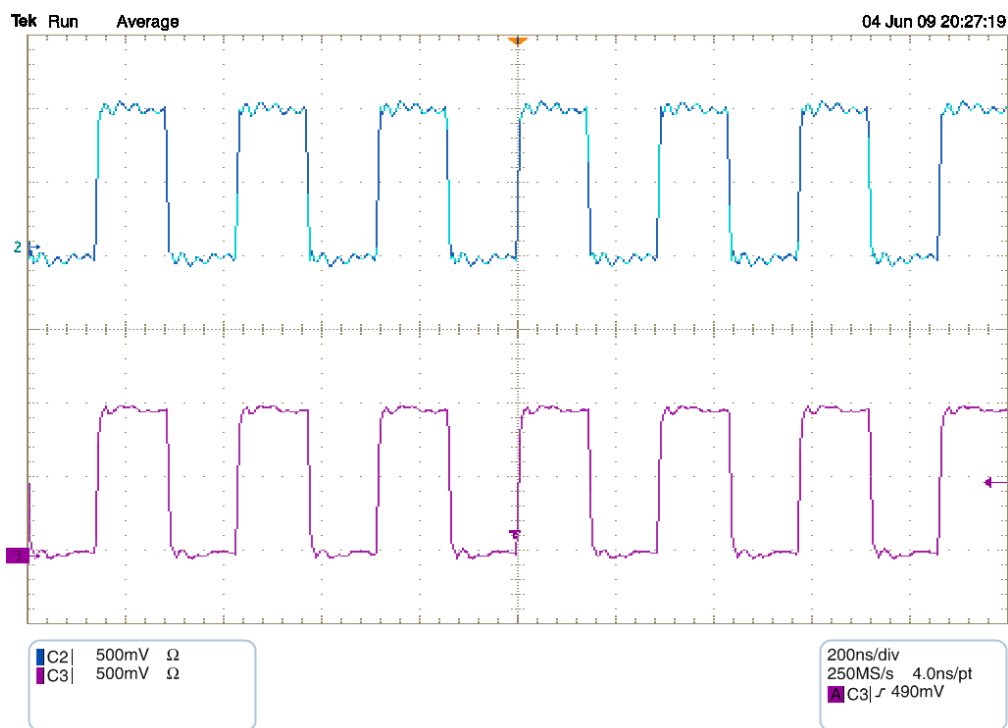


FIGURE 6.11 Signaux à l'entrée du PFD lorsque le synthétiseur est verrouillé : signal de référence (trace supérieure) et sortie du diviseur de fréquence programmable (trace inférieure).

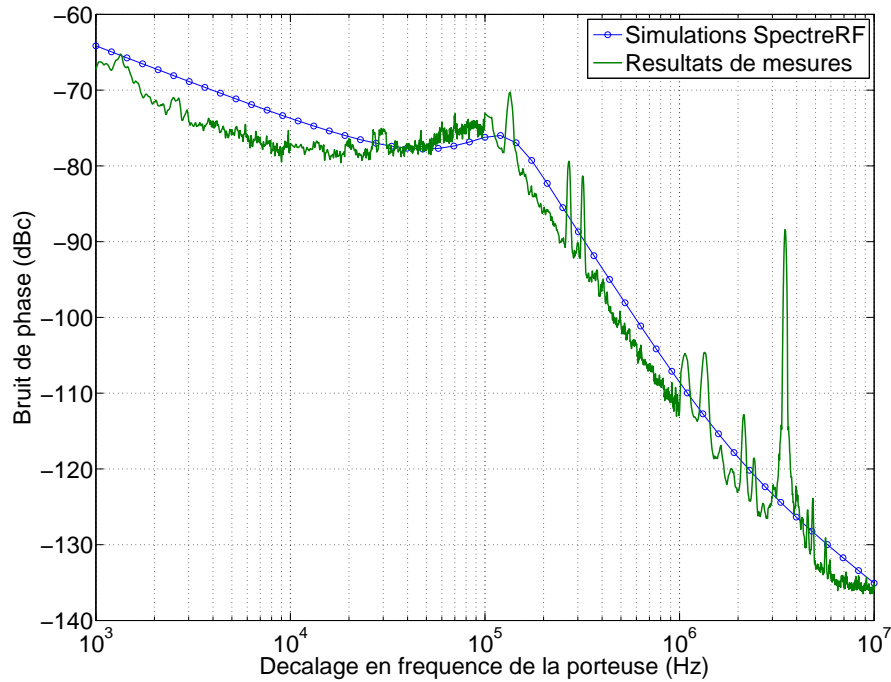


FIGURE 6.12 Bruit de phase simulé et mesuré du synthétiseur.

validation RF, la puissance dissipée par le synthétiseur proposé est environ un ordre de grandeur inférieure à celle des autres synthétiseurs.

6.2.4 Améliorations potentielles

Une oscillation parasite est présente à une distance de 3.39 MHz de la porteuse dans la courbe de bruit de phase mesurée de la figure 6.12. Cette oscillation parasite, dont la fréquence correspond à la fréquence de référence f_{REF} du synthétiseur, est également visible sous la forme d'une ondulation (*ripple*) affectant la tension de contrôle V_{CTRL} du VCO de la figure 6.10 à l'état stable. Bien que les causes exactes de cette modulation parasite soient inconnues, nous croyons que les facteurs suivants sont en cause :

- ◇ *Le courant de fuite des varactors* [43]. L'utilisation d'une capacité variable de grande valeur — donc de grande surface — implémentée à l'aide de jonctions PN polarisées en inverse résulte en un courant de fuite non négligeable n'apparaissant pas lors des simulations et qui a pour effet de décharger le noeud de contrôle du VCO lorsque la pompe de charges est en mode haute impédance ;
- ◇ *Le couplage entre le signal de référence et le noeud V_{CTRL} sur la puce*. Sur le circuit intégré,

TABLEAU 6.2 Résumé des performances du synthétiseur de fréquences.

Paramètres	Valeurs
Technologie	CMOS 90-nm
Tension d'alimentation	1 V
Bande de fréquence visée	902-928 MHz
Plage de syntonisation du synthétiseur	815-935 MHz
Plage de syntonisation du VCO	1630-1870 MHz
Courant de la pompe de charges	50 μ A
Espacement entre les canaux	3.39 MHz
Bande-passante en boucle ouverte	150 kHz [†]
Marge de phase en boucle ouverte	55° [†]
Temps de stabilisation	11 μ s
Bruit de phase @ 100 kHz	-77 dBc
Bruit de phase @ 1 MHz	-113 dBc
Bruit de phase @ 10 MHz	-136 dBc
Consommation de puissance	640 μ W

[†] Résultats de simulation

la trace de métal 6 amenant le signal de référence f_{REF} du plot de soudure vers l'entrée du détecteur de phase/fréquence est à proximité des capacités du filtre de boucle et n'est pas isolée. Un lien de couplage potentiel existe donc entre le signal de référence et les capacités *fringe* M1-M4 utilisées pour implémenter le filtre de boucle ;

- ◇ *Le couplage entre le signal de référence et le noeud V_{CTRL} sur le circuit imprimé.* Dans le but de mesurer le temps de stabilisation du synthétiseur, le signal V_{CTRL} a été connecté à une broche du boîtier qui est ensuite connectée à une trace sur le circuit imprimé. Ainsi, tout couplage RF externe au circuit intégré entre le signal de référence et la ligne de surveillance de V_{CTRL} résulte en une modulation parasite du VCO, et donc en une oscillation parasite dans le spectre de sortie du synthétiseur ;
- ◇ *Le non-appariement entre les courants I_{UP} et I_{DN} de la pompe de charges.* Tel que discuté au chapitre 4, toute différence d'amplitude entre les composantes de courant UP et DN de la pompe de charges résulte en un dépôt de charges non nul sur le filtre de boucle durant Δt_r , et donc en une variation de la tension de contrôle du VCO. Bien que la moyenne de la disparité entre les courants UP et DN aux deux extrémités de la plage d'opération de la pompe de charges (pire cas) ait été estimée à environ 1.35 μ A à l'aide de simulations Monte Carlo, il est possible que l'échantillon de puce utilisé sur le circuit imprimé est une disparité supérieure, augmentant ainsi le niveau des oscillations parasites.

TABLEAU 6.3 Comparaison de la puissance consommée par le synthétiseur proposé avec celle des synthétiseurs d'architecture similaire récemment présentés dans la littérature.

Référence	Procédé CMOS	f_{osc} (MHz)	P_{RMS} (mW)
[47]*	0.18 μm	2400	22.0
[49] [†]	0.18 μm	2400	4.2
[52] [†]	0.18 μm	2400	7.5
[50]*	0.13 μm	1800	3.5
Ce travail [†]	90 nm	1830	0.64

* Résultats de simulation

[†] Résultats de mesure

De plus, le gain du VCO K_{VCO} très élevé a un effet néfaste sur la génération d'oscillations parasites, puisque le gain de syntonisation très élevé du VCO le rend très vulnérable à toute perturbation apparaissant sur la tension de contrôle. Dans le cadre de cette recherche, le gain du VCO a une valeur environ 4 fois plus élevée que nécessaire car nous voulions nous assurer d'avoir un circuit fonctionnel et opérant à la fréquence désirée du premier coup ; le boîtier utilisé étant relativement difficile à souder sur le circuit imprimé. Dans un contexte de production où des tests automatisés sont effectués sur les puces après fabrication, le gain K_{VCO} pourrait être significativement réduit et une calibration pourrait être utilisée pour uniformiser la fréquence centrale d'oscillation des VCOs.

Une technique simple qui aurait permis de réduire de façon significative les oscillations parasites dans le synthétiseur proposé est l'implémentation d'un filtre de boucle d'ordre 4. Pour y arriver, un filtre RC aurait pu être placé entre le filtre de boucle et le port de contrôle du VCO, de façon à filtrer d'avantage le signal parasite à la fréquence f_{REF} et ce sans affecter la bande passante du synthétiseur. Le pôle introduit par ce filtre RC supplémentaire serait à une fréquence significativement supérieure à la fréquence de gain unitaire de la boucle de rétroaction et n'affecterait pas la stabilité, mais serait à une fréquence inférieure à f_{REF} de façon à filtrer efficacement les oscillations parasites. Enfin, la bande passante du synthétiseur aurait eu avantage à être fixée à une valeur inférieure à $1/20$ de f_{REF} . Une bande passante plus faible aurait eu comme résultat un filtrage plus efficace du signal V_{CTRL} et donc en un niveau d'oscillations parasites significativement plus bas. Une bande passante très élevée avait été initialement choisie afin de minimiser le temps de démarrage du synthétiseur, mais les résultats de mesures indiquent clairement qu'une plus grande attention aurait dû être portée au niveau des oscillations parasites dans la phase initiale de conception.

CHAPITRE 7

CONCLUSION

7.1 Synthèse des travaux

Les travaux de cette thèse portent sur la conception et l'implémentation de topologies de circuits pour la synthèse de fréquence à consommation de puissance ultra faible en utilisant un procédé CMOS nanométrique. Une méthodologie de conception de circuits analogiques et RF développée spécialement pour la basse consommation a été utilisée pour la conception des différents blocs du synthétiseur. De nouvelles architectures de modules analogiques et RF ont été conçues de façon à mitiger les difficultés rencontrées lors de l'utilisation d'un procédé CMOS nanométrique sous une tension d'alimentation de 1 V. La thèse est structurée de telle sorte que chacun des chapitres présente une contribution originale découlant de cette recherche.

Au chapitre 3, l'architecture d'un nouveau miroir de courant à impédance de sortie très élevée a été présentée [35]. Ce miroir de courant a été conçu afin de surmonter les difficultés causées par la faible résistance de sortie des transistors nanométriques et la basse tension d'alimentation de 1 V imposée par le procédé 90 nm. L'impédance de sortie du miroir de courant proposé est de l'ordre de $g_m^3 r_o^2$, soit d'un facteur $g_m r_o$ plus élevée que celle du miroir de courant super-Wilson, où g_m et r_o sont respectivement la transconductance et la résistance incrémentale drain-source du transistor de sortie. Le détecteur de phase/fréquence ainsi qu'une nouvelle architecture de pompe de charges CMOS ont été présentés au chapitre 4. La configuration de pompe de charges proposée résulte en un courant de sortie dont la magnitude est constante et le non-appariement entre le courant I_{UP} et I_{DN} est minimal, tout en minimisant la consommation de puissance et la complexité. De plus, le niveau d'impulsions parasites de courant (*glitches*) à la sortie de la pompe de charges est maintenu à un minimum grâce à un système de commutateurs qui maintient la tension de grille des transistors de sortie à une valeur constante [36].

Au chapitre 5, une nouvelle configuration d'oscillateur contrôlé par voltage à résonateur LC (LC-VCO) minimisant l'impact des variations de procédé sur la consommation de puissance et le bruit de phase a été décrite. L'approche utilisée consiste à alimenter le coeur du VCO à l'aide d'un régulateur de tension dont la valeur de la référence de tension dépend des paramètres du procédé à l'endroit sur le circuit intégré où est situé le VCO [37]. La conception ainsi que l'optimisation de l'inductance intégrée et des varactors y sont également discutées. La conception du diviseur par 2

I/Q avec sorties différentielles, du diviseur de fréquence programmable, ainsi que des bascules D à faible consommation de puissance a été présentée au chapitre 6. Ce diviseur programmable est utilisé avec les modules présentés dans les chapitres précédents pour implémenter un synthétiseur de fréquences à consommation ultra-faible en technologie CMOS 90-nm permettant la syntonisation de 7 différentes porteuses RF dans la bande ISM de 902-928 MHz [40]. Le bruit de phase mesuré du synthétiseur est de -77 dBc/Hz à une distance de 10 kHz de la porteuse, et de -113 dBc/Hz à une distance de 1 MHz. La consommation de puissance du synthétiseur proposé, de 640 μ W RMS en excluant les tampons de sortie 50 Ω , est environ un ordre de grandeur inférieure à celle de synthétiseurs d'architecture similaire récemment présentés dans la littérature.

7.2 Travaux futurs

Tel que mentionné précédemment, le synthétiseur de fréquences à consommation ultra faible implémenté dans le cadre de cette thèse est au coeur d'une plateforme RF micro puissance permettant d'établir un lien de communications sans-fil entre un microsystème implantable et une station de traitement externe. L'architecture ainsi que l'analyse au niveau système du transmetteur/récepteur de cette plateforme RF sont présentées à l'annexe I. Une architecture à conversion directe y est proposée pour opérer dans la bande de fréquence ISM de 902-928 MHz. Une suite logique au projet de recherche de cette thèse au niveau système consisterait donc à intégrer le synthétiseur de fréquences proposé dans ce transmetteur/récepteur RF en continuant de mettre l'emphasis sur la minimisation de la consommation de puissance. Pour y arriver, il resterait à concevoir les amplificateurs faible bruit (LNA) et de puissance (PA), les mélangeurs, les différents filtres du transmetteur/récepteur, ainsi que le contrôleur en bande de base.

Enfin, concernant les circuits numériques du contrôleur en bande de base du transmetteur/récepteur, une avenue de recherche potentielle sera l'implémentation d'un système d'ajustement dynamique de l'alimentation (*Dynamic Voltage Scaling*) afin de réduire d'avantage la consommation de puissance. En effet, rappelons que la réduction de la tension d'alimentation V_{DD} est une méthode efficace pour réduire la consommation de puissance des circuits numériques grâce à une diminution des courants de fuite et de la dissipation de puissance dynamique. Cette avenue de recherche implique une autre tout aussi intéressante : la conception d'une unité de gestion de l'alimentation — et donc de convertisseurs DC-DC — flexible capable de générer de façon efficace une tension d'alimentation variable allant d'une tension sous-seuil (aux alentours de 300 mV) lorsque le système est en mode sommeil, à une tension s'approchant de la tension fournie par la pile (1 V) lorsque le système est actif.

PUBLICATIONS RELATIVES À CETTE THÈSE

Articles de journaux avec comités de sélection

1. **L-F. Tanguay**, M. Sawan, et Y. Savaria, "A Very-High Output Impedance Charge Pump for Low-Voltage Low-Power PLLs," *Microelectronics Journal*, vol. 40, no. 6, pp. 1026-1031, 2009.
2. **L-F. Tanguay** et M. Sawan, "An Ultra-Low Power ISM-Band Integer-N Frequency Synthesizer Dedicated to Implantable Medical Microsystems," *Analog Integrated Circuits and Signal Processing*, pp. 1573-1979, 2007.

Actes de conférences avec comités de lecture

1. **L-F. Tanguay**, Y. Savaria, et M. Sawan, "A 640 μ W Frequency Synthesizer Dedicated to Implantable Medical Microsystems in 90-nm CMOS," in *IEEE NEWCAS*, Montreal, Canada, 2010, Invited paper.
2. **L-F. Tanguay**, M. Sawan, et Y. Savaria, "A Very-High Output Impedance Current Mirror for Very-Low Voltage Biomedical Analog Circuits," in *IEEE APCCAS*, Macau, 2008, Invited paper.
3. **L-F. Tanguay**, M. Sawan, et Y. Savaria, "Process Variation Tolerant LC-VCO Dedicated to Ultra-Low Power Biomedical RF Circuits," in *IEEE ICSICT*, (Beijing, China), 2008, Invited paper.
4. **L-F. Tanguay** et M. Sawan, "A Fully-Integrated 580 μ W ISM-Band Frequency Synthesizer for Implantable Medical Devices," in *IEEE ISSCS*, Iasi, Romania, 2007, pp. 28-31.
5. T. Dupire, **L-F. Tanguay**, et M. Sawan, "Low Power CMOS Transmitter for Biomedical Sensing Devices," in *IEEE ICECS*, Nice, France, 2007, pp. 339-342.
6. **L-F. Tanguay** et M. Sawan, "An Ultra-Low Power, Fully Integrated VCO for an Implantable Wireless Sensor Microsystem in 90-nm CMOS," in *IEEE CAMP*, Montreal, Canada, 2006, pp. 32-33.
7. **L-F. Tanguay** et M. Sawan, "Low Power SAW-Based Oscillator for an Implantable Multi-sensor Microsystem," in *IEEE APCCAS*, Singapore, 2006, Invited paper.

Présentation avec comité de sélection

1. **L-F. Tanguay** et M. Sawan. "An Implantable Multi-Sensor Microsystem Dedicated to Biotelemetry Applications," In *Restoration of Joint Function Workshop, Canadian Arthritis Network*, Vancouver, 2006.

RÉFÉRENCES

- [1] T. T. Boon, E. Johannessen, W. Lei, A. Astaras, M. Ahmadian, A. Murray, J. Cooper, S. Beaumont, B. Flynn, and D. Cumming, "Toward a Miniature Wireless Integrated Multisensor Microsystem for Industrial and Biomedical Applications," *IEEE Sensors Journal*, vol. 2, pp. 628–35, 2002.
- [2] B. Cook, A. Molnar, and K. Pister, "Low Power RF Design for Sensor Networks," in *IEEE Radio Frequency Integrated Circuits Symposium*, Long Beach, CA, United States, 2005, pp. 357–360.
- [3] J. Rabaey, J. Ammer, T. Karalar, L. Suetfei, B. Otis, M. Sheets, and T. Tuan, "PicoRadios for Wireless Sensor Networks : The Next Challenge in Ultra-Low Power Design," in *IEEE International Solid-State Circuits Conference*, vol. 1, San Francisco, CA, USA, 2002, pp. 200–201.
- [4] A. Hierlemann, O. Brand, C. Hagleitner, and H. Baltes, "Microfabrication Techniques for Chemical/Biosensors," *Proceedings of the IEEE*, vol. 91, pp. 839–63, 2003.
- [5] C. Rossi and P. Aguirre, "Ultra-Low power CMOS Cells for Temperature Sensors," in *18th Symposium on Integrated Circuits and Systems Design*, Florianopolis, Brazil, 2005, pp. 202–206.
- [6] K. Arshak and E. Jafer, "Wireless Ultra-Low Power Smart Data Acquisition System for Pressure Sensing in Medical Application," in *25th International Conference on Microelectronics*, Belgrade, Serbia, 2006, pp. 212–219.
- [7] W.-Y. Chung, C.-H. Yang, D. Pijanowska, P. Grabiec, and W. Torbicz, "ISFET Performance Enhancement by Using the Improved Circuit Techniques," *Sensors and Actuators B : Chemical*, vol. 113, pp. 555–562, 2006.
- [8] M. Khine, J. Thompson, S. Bierer, L. Altamirano, R. Freeman, and L. Lee, "A Combined Neural-Oxygen Sensing Multi-Channel Electrode Array," in *1st International IEEE EMBS Conference on Neural Engineering*, Capri Island, Italy, 2003, pp. 204–207.
- [9] X. Zhang, Y. Kislyak, J. Lin, A. Dickson, L. Cardoso, M. Broderick, and H. Fein, "Nanometer Size Electrode for Nitric Oxide and S-Nitrosothiols Measurement," *Electrochemistry Communications*, vol. 4, pp. 11–16, 2002.
- [10] O. Aziz, B. Lo, G. Yang, and A. Darzi, "Wireless Body Sensors : The Ultimate Diagnostic Tool ?" in *2nd International Workshop on BSN 2005 Wearable and Implantable Body Sensor Networks*, London, UK, 2005, pp. 85–87.

- [11] C. Bogdan, "Nitric Oxide and the Immune Response," *Nat. Immunol.*, vol. 2, no. 10, pp. 907–916, 2001. [Online]. Available : <http://dx.doi.org/10.1038/ni1001-907>
- [12] S. B. Abramson, A. R. Amin, R. M. Clancy, and M. Attur, "The Role of Nitric Oxide in Tissue Destruction," *Best practice & research. Clinical rheumatology*, vol. 15, pp. 831–845, 2001.
- [13] B. Gallez, C. Baudelet, and B. F. Jordan, "Assessment of Tumor Oxygenation by Electron Paramagnetic Resonance : Principles and Applications," *NMR in Biomedicine*, vol. 17, pp. 240–262, 2004.
- [14] S. V. Kozin, P. Shkarin, and L. E. Gerweck, "The Cell Transmembrane pH Gradient in Tumors Enhances Cytotoxicity of Specific Weak Acid Chemotherapeutics," *Cancer Research*, vol. 61, no. 12, pp. 4740–4743, 2001.
- [15] M. Sarntinoranont, F. Rooney, and M. Ferrari, "Interstitial Stress and Fluid Pressure Within a Growing Tumor," *Annals of Biomedical Engineering*, vol. 31, no. 3, pp. 327–335, 2003.
- [16] D. G. Smith, S. R. Potter, B. R. Lee, H. W. Ko, W. R. Drummond, J. K. Telford, and A. W. Partin, "In Vivo Measurement of Tumor Conductiveness with the Magnetic Bioimpedance Method," *IEEE Transactions on Biomedical Engineering*, vol. 47, no. 10, pp. 1403–1405, 2000.
- [17] N. Neihart and R. Harrison, "Micropower Circuits for Bidirectional Wireless Telemetry in Neural Recording Applications," *IEEE Transactions on Biomedical Engineering*, vol. 52, pp. 1950–1959, 2005.
- [18] J. Aziz, R. Karakiewicz, R. Genov, B. Bardakjian, M. Derchansky, and P. Carlen, "Real-Time Seizure Monitoring and Spectral Analysis Microsystem," in *IEEE International Symposium on Circuits and Systems*, 2006.
- [19] P. Irazoqui-Pastor, I. Mody, and J. Judy, "In-vivo EEG Recording Using a Wireless Implantable Neural Transceiver," in *First International IEEE EMBS Conference on Neural Engineering*, 2003, pp. 622–625.
- [20] B. Lo and G. Yang, "Body Sensor Networks : Infrastructure for Life Science Sensing Research," in *Life Science Systems and Applications Workshop*, 2006.
- [21] S. Hussain, L. T. Yang, F. Laforest, and C. Verdier, "Pervasive Health Care Services and Technologies," *International Journal of Telemedicine and Applications*, 2008.
- [22] M. Sawan, H. Yamu, and J. Coulombe, "Wireless Smart Implants Dedicated to Multichannel Monitoring and Microstimulation," *IEEE Circuits and Systems Magazine*, vol. 5, pp. 21–39, 2005.
- [23] A. Johansson, "Performance of a Radio Link Between a Base Station and a Medical Implant Utilising the MICS Standard," in *26th Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, vol. 3, San Francisco, CA, USA, 2004, pp. 2113–2116.

- [24] W. Scanlon, B. Burns, and N. Evans, "Radiowave Propagation from a Tissue-Implanted Source at 418 MHz and 916.5 MHz," *IEEE Transactions on Biomedical Engineering*, vol. 47, pp. 527–534, 2000.
- [25] C. Enz, N. Scolari, and U. Yodprasit, "Ultra Low-Power Radio Design for Wireless Sensor Networks," in *IEEE International Workshop on Radio-Frequency Integration Technology : Integrated Circuits for Wideband Communication and Wireless Sensor Networks*, 2005, pp. 1–17.
- [26] Y. Chee, A. Niknejad, and J. Rabaey, "A Sub-100 μ W 1.9-GHz CMOS Oscillator Using FBAR Resonator," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, Long Beach, CA, USA, 2005, pp. 123–126.
- [27] L.-F. Tanguay and M. Sawan, "Low Power SAW-Based Oscillator for an Implantable Multisensor Microsystem," in *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Singapore, 2006, Invited paper.
- [28] A. Molnar, B. Lu, S. Lanzisera, B. Cook, and K. Pister, "An Ultra-Low Power 900 MHz RF Transceiver for Wireless Sensor Networks," in *Proceedings of the Custom Integrated Circuits Conference*, Orlando, FL, United States, 2004, pp. 401–404.
- [29] B. Otis, Y. Chee, and J. Rabaey, "A 400 μ W-RX, 1.6mW-TX Super-Regenerative Transceiver for Wireless Sensor Networks," in *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, 2005, pp. 396–606.
- [30] M. Best, A. Burdett, K. Castor-Perry, T. Chan, M. Dawkins, D. McDonagh, A. Edwards, G. Kathiresan, O. Omeni, P. Paddan, C. Toumazou, D. Townsend, A. Wong, and D. Woodham, "An Ultra-Low Power 1V Wireless Transceiver Suitable for Body Sensor Networks," in *2nd International Workshop on BSN : Wearable and Implantable Body Sensor Networks*, London, UK, 2005, pp. 75–78.
- [31] "ZL70101 - medical implantable rf transceiver (zarlink semiconductor)." [Online]. Available : http://products.zarlink.com/product_profiles/ZL70101.htm
- [32] D. Binkley, C. Hopper, S. Tucker, B. Moss, J. Rochelle, and D. Foty, "A CAD Methodology for Optimizing Transistor Current and Sizing in Analog CMOS Design," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 22, pp. 225–237, 2003.
- [33] B. Wong, A. Mittal, Y. Cao, and G. W. Starr, *Nano-CMOS Circuit and Physical Design*, 1st ed. Wiley-Interscience, Nov. 2004.
- [34] M. Abu-Rahma and M. Anis, "Variability in VLSI Circuits : Sources and Design Considerations," in *IEEE International Symposium on Circuits and Systems*, New Orleans, LA, USA, 2007.

- [35] L.-F. Tanguay, M. Sawan, and Y. Savaria, "A Very-High Output Impedance Current Mirror for Very-Low Voltage Biomedical Analog Circuits," in *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, Macau, 2008, Invited paper.
- [36] —, "A Very-High Output Impedance Charge Pump for Low-Voltage Low-Power PLLs," *Microelectronics Journal*, vol. 40, no. 6, pp. 1026–1031, 2009.
- [37] —, "Process Variation Tolerant LC-VCO Dedicated to Ultra-Low Power Biomedical RF Circuits," in *IEEE International Conference on Solid-State and Integrated-Circuit Technology (ICSICT)*, Beijing, China, 2008, Invited paper.
- [38] L.-F. Tanguay and M. Sawan, "A Fully-Integrated 580 μ W ISM-Band Frequency Synthesizer for Implantable Medical Devices," in *IEEE International Symposium on Signals, Circuits and Systems (ISSCS)*, Iasi, Romania, 2007, pp. 28–31.
- [39] —, "An Ultra-Low Power ISM-Band Integer-N Frequency Synthesizer Dedicated to Implantable Medical Microsystems," *Analog Integrated Circuits and Signal Processing*, pp. 1573–1979, 2007.
- [40] L.-F. Tanguay, Y. Savaria, and M. Sawan, "A 640 μ W Frequency Synthesizer Dedicated to Implantable Medical Microsystems in 90-nm CMOS," in *IEEE International NEWCAS Conference*, Montreal, Canada, 2010, Invited paper.
- [41] B. D. Muer and M. Steyaert, *CMOS Fractional-N Synthesizers : Design for High Spectral Purity and Monolithic Integration*, 1st ed. Springer, 2003.
- [42] R. E. Best, *Phase-Locked Loops : Design, Simulation, and Applications*, 4th ed. McGraw-Hill Professional Publishing, Jun. 1999.
- [43] A. L. Lacaita, S. Levantino, and C. Samori, *Integrated Frequency Synthesizers for Wireless Systems*. Cambridge University Press, Jul. 2007.
- [44] I. Thompson and P. Brennan, "Fourth-Order PLL Loop Filter Design Technique with Invariant Natural Frequency and Phase Margin," *IEE Proceedings - Circuits, Devices and Systems*, vol. 152, pp. 103–108, 2005.
- [45] F. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Transactions on Communications*, vol. CM-28, no. 11, pp. 1849–58, Nov. 1980, copyright 1981, IEE.
- [46] M. Terrovitis, M. Mack, K. Singh, and M. Zargari, "A 3.2 to 4 GHz, 0.25 μ m CMOS Frequency Synthesizer for IEEE 802.11a/b/g WLAN," *IEEE International Solid-State Circuits Conference*, 2004.
- [47] S. Singh, T. Bhattacharyya, and A. Dutta, "Fully Integrated CMOS Frequency Synthesizer for ZigBee Applications," in *International Conference on VLSI Design (VLSID)*, 2005, pp. 780–783.

- [48] L. Leung and H. Luong, "A 1-V, 9.7mW CMOS Frequency Synthesizer for WLAN 802.11a Transceivers," in *IEEE Symposium on VLSI Circuits*, Kyoto, Japan, 2005, pp. 252–255.
- [49] S. Shin, K. Lee, and S.-M. Kang, "4.2mW CMOS Frequency Synthesizer for 2.4GHz ZigBee Application with Fast Settling Time Performance," in *IEEE Microwave Symposium Digest*, 2006, pp. 411–414.
- [50] V. I. Karam and J. W. M. Rogers, "A 3.5mW Fully Integrated 1.8GHz Synthesizer in 0.13- μ m CMOS," in *IEEE NEWCAS*, 2006, pp. 49–52.
- [51] W. Wang and H. Luong, "A 0.8-v 4.9-mw cmos fractional-n frequency synthesizer for rfid application," ser. ESSCIRC 2006. Proceedings of the 32nd European Solid-State Circuits Conference (IEEE Cat. No. 06EX1347). Montreux, Switzerland : IEEE, 2006, pp. 146–9.
- [52] D. Mandal and T. Bhattacharyya, "A 7.95mW 2.4GHz Fully-Integrated CMOS Integer N Frequency Synthesizer," in *20th International Conference on VLSI Design*, Bangalore, India, 2007.
- [53] Y. Zhan, R. Harjani, and S. Sapatnekar, "On the Selection of On-Chip Inductors for the Optimal VCO Design," in *Custom Integrated Circuits Conference*, 2004, pp. 277–280.
- [54] B. Razavi, *RF Microelectronics*. Prentice Hall PTR, Nov. 1997.
- [55] D. Blaauw and B. Zhai, "Energy Efficient Design for Subthreshold Supply Voltage Operation," *IEEE International Symposium on Circuits and Systems*, 2006.
- [56] J. Ramirez-Angulo, R. Carvajal, and A. Torralba, "Low Supply Voltage High-Performance CMOS Current Mirror with Low Input and Output Voltage Requirements," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process. (USA)*, vol. 51, no. 3, pp. 124 – 9, 2004.
- [57] E. Sackinger and W. Guggenbuhl, "A High-Swing, High-Impedance MOS Cascode Circuit," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 1, pp. 289–298, 1990.
- [58] A. Garimella, L. Garimella, J. Ramirez-Angulo, A. Lopez-Martin, and R. Carvajal, "Low-Voltage High Performance Compact all Cascode CMOS Current Mirror," *Electronics Letters*, vol. 41, no. 25, pp. 1359–1360, 2005.
- [59] B. Minch, "Low-Voltage Wilson Current Mirrors in CMOS," in *IEEE ISCAS*, New Orleans, LA, USA, 2007, pp. 2220 – 2223.
- [60] C. Enz and E. Vittoz, *Charge-based MOS Transistor Modeling : The EKV Model for Low-Power and RF IC Design*. John Wiley & Sons Ltd, 2006.
- [61] E. Vittoz, C. Enz, and F. Krummenacher, "A Basic Property of MOS Transistors and its Circuit Implications," in *Workshop on Compact Modeling, WCM*, vol. 2, 2003, pp. 246–249.
- [62] D. Johns and K. Martin, *Analog Integrated Circuit Design*, 1st ed. Wiley, Nov. 1996.

- [63] J.-S. Lee, M.-S. Keel, S.-I. Lim, and S. Kim, "Charge Pump with Perfect Current Matching Characteristics in Phase-Locked Loops," *Electronic Letters*, vol. 36, no. 23, pp. 1907–1908, 2000.
- [64] Y.-S. Choi and D.-H. Han, "Gain-Boosting Charge Pump for Current Matching in Phase-Locked Loop," *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 53, no. 10, pp. 1022–1025, 2006.
- [65] Y. Sun, L. Siek, and P. Song, "Design of a High Performance Charge Pump Circuit for Low Voltage Phase-locked Loops," in *International Symposium on Integrated Circuits*, 2007, pp. 271–274.
- [66] B. Minch, "A Low-Voltage MOS Cascode Current Mirror for All Current Levels," in *45th Midwest Symposium on Circuits and Systems*, vol. 2, Tulsa, OK, USA, 2002, pp. 53–56.
- [67] J. Zhou and Z. Wang, "A High-Performance CMOS Charge-Pump for Phase-Locked Loops," in *International Conference on Microwave and Millimeter Wave Technology*, vol. 2, 2008, pp. 839–842.
- [68] D. O’Riordan, "Recommended Spectre Monte Carlo Modeling Methodology," Cadence Design Systems, Tech. Rep., 2004.
- [69] J. Craninckx and M. Steyaert, "A CMOS 1.8 GHz Low-Phase-Noise Voltage-Controlled Oscillator with Prescaler," in *IEEE International Solid-State Circuits Conference*, San Francisco, CA, USA, 1995.
- [70] S. Levantino, C. Samori, A. Bonfanti, S. Gierkink, A. Lacaita, and V. Boccuzzi, "Frequency Dependence on Bias Current in 5 GHz CMOS VCOs : Impact on Tuning Range and Flicker Noise Upconversion," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, pp. 1003–1011, Aug 2002.
- [71] A. Hajimiri and T. Lee, "Design Issues in CMOS Differential LC Oscillators," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 717–724, 1999.
- [72] X. Wang and B. Bakaloglu, "A 2.4-GHz LC-Tank VCO with Minimum Supply Pushing Regulation Technique," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 127–130, June 2007.
- [73] P. Kinget, "Device Mismatch : An Analog Design Perspective," in *IEEE International Symposium on Circuits and Systems*, New Orleans, LA, USA, 2007.
- [74] P. Drennan, M. Kniffin, and D. Locascio, "Implications of Proximity Effects for Analog Design," in *Proceedings of the IEEE Custom Integrated Circuits Conference*, Piscataway, NJ, USA, 2006.

- [75] D. Park and S. Cho, "An Adaptive Body-Biased VCO with Voltage-Boosted Switched Tuning in 0.5-V Supply," *Proceedings of the 32nd ESSCIRC*, pp. 444–447, Sept. 2006.
- [76] D. Miyashita, H. Ishikuro, S. Kousai, H. Kobayashi, H. Majima, K. Agawa, and M. Hamada, "A Phase Noise Minimization of CMOS VCOs Over Wide Tuning Range and Large PVT Variations," *Proceedings of the IEEE CICC*, pp. 583–586, Sept. 2005.
- [77] A. Hajimiri and T. Lee, "A General Theory of Phase Noise in Electrical Oscillators," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, Feb 1998.
- [78] J. Craninckx and M. Steyaert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 42, pp. 794–804, 1995.
- [79] M. Danesh and J. Long, "Differentially Driven Symmetric Microstrip Inductors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, pp. 332–341, 2002.
- [80] A.-S. Porret, T. Melly, C. C. Enz, and E. A. Vittoz, "Design of High-Q Varactors for Low-Power Wireless Applications Using a Standard CMOS Process," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 3, pp. 337–345, 2000.
- [81] K. Itoh, M. Horiguchi, and H. Tanaka, *Ultra-Low Voltage Nano-Scale Memories*. Springer US, 2007, ch. Voltage Down-Converters, pp. 231–283.
- [82] M. Rosales, L. Alarcon, and D. Sabido, "De-Embedding Techniques on a 0.25 μm Digital CMOS Process," in *IEEE TENCON*, 2006.
- [83] J. Yuan and C. Svensson, "New Single-Clock CMOS Latches and Flipflops with Improved Speed and Power Savings," *IEEE Journal of Solid-State Circuits (JSSC)*, pp. 62–9, 1997.
- [84] Q. Huang and R. Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks," *IEEE Journal of Solid-State Circuits (JSSC)*, pp. 456–465, 1996.
- [85] S. Levantino, L. Romano, S. Pellerano, C. Samori, and A. Lacaita, "Phase Noise in Digital Frequency Dividers," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 5, pp. 775–784, 2004.
- [86] L. Chirwa, P. Hammond, S. Roy, and D. Cumming, "Electromagnetic Radiation from Ingested Sources in the Human Intestine Between 150 MHz and 1.2 GHz," *IEEE Transactions on Biomedical Engineering*, vol. 50, pp. 484–492, 2003.
- [87] T. Lee and C. Press, *The Design of CMOS Radio-Frequency Integrated Circuits, Second Edition*, 2004.
- [88] B. H. Leung, *VLSI for Wireless Communication*, 1st ed. Prentice Hall, Aug. 2002.
- [89] IEEE Std 802.15.4-2003, *Low Rate Wireless Personal Area Networks*, Oct. 2003.

- [90] F. Silveira, D. Flandre, and P. Jespers, "A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1314–1319, 1996.
- [91] D. Foty, D. Binkley, M. Bucher, and N. Institute, "Starting Over : g_m/I_d -Based MOSFET Modeling as a Basis for Modernized Analog Design Methodologies," in *International Conference on Modeling and Simulation of Microsystems*, vol. 1, Puerto Rico, 2002, pp. 682–685.
- [92] C. Enz, F. Krummenacher, and E. Vittoz, "An Analytical MOS Transistor Model Valid in all Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications," *Analog Integrated Circuits and Signal Processing*, vol. 8, pp. 83–114, 1995.
- [93] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation, Second Edition*, 2nd ed. Wiley-IEEE Press, Nov. 2004.
- [94] D. Foty, M. Bucher, and D. Binkley, "Re-Interpreting the MOS Transistor via the Inversion Coefficient and the Continuum of g_m/I_d ," in *ICECS 2002. 9th IEEE International Conference on Electronics, Circuits and Systems*, vol. vol.3, Dubrovnik, Croatia, 2002, pp. 1179–1182.
- [95] E. Vittoz, M. Degrauwe, and S. Bitz, "High-Performance Crystal Oscillator Circuits : Theory and Application," *IEEE Journal of Solid-State Circuits*, vol. 23, pp. 774–783, 1988.
- [96] B. Otis and J. Rabaey, "A 300- μ W 1.9-GHz CMOS Oscillator Utilizing Micromachined Resonators," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1271–1274, 2003.
- [97] M. Kozaki and N. Hama, "A 300-MHz-Band, sub-1 V and sub-1 mW CMOS SAW Oscillator Suitable for Use in RF Transmitters," *IEICE Transactions on Electronics*, no. 4, pp. 502–508, 2005.

ANNEXE I

ANALYSE SYSTÈME

L'objectif de ce chapitre est de spécifier les performances requises d'une plate-forme RF à consommation de puissance ultra faible permettant d'établir un lien de communications sans-fil entre un microsystème implantable et une station de traitement externe. Cette annexe résume le travail de recherche préliminaire qui a été effectué dans le cadre de cette thèse. Dans ce qui suit, nous allons présenter un survol des contraintes particulières qui doivent être prises en compte lors de la conception de modules RF destinés aux systèmes biomédicaux implantables. Les facteurs tels que la fréquence de la porteuse, le débit de données et le type de modulation seront discutés. Ensuite, un budget de puissance du lien RF sera présenté et l'architecture d'un transmetteur/récepteur RF à consommation ultra faible sera proposée. Finalement, les différents critères de performance de ce récepteur/transmetteur seront calculés.

I.1 Bande de fréquence et méthode de modulation

Les propriétés électriques des tissus humains, telles que leur conductivité et leur permittivité, sont complexes et leur valeur varie en fonction de la fréquence. Ainsi, les coefficients de réflexions, de transmission, de réfraction et de dispersion augmente avec la fréquence. Cela complique l'estimation des caractéristiques de radiation d'une source implantée dans le corps. Le choix de la fréquence d'opération du transmetteur/récepteur est donc un compromis entre les bandes de fréquences disponibles, l'efficacité de radiation des antennes, qui est supérieure en haute fréquence, et l'atténuation du milieu de propagation qui, malheureusement, augmente aussi avec la fréquence.

I.1.1 Bande de fréquence visée

Au Canada, les bandes de fréquences UHF disponibles pour des dispositifs implantables sont les bandes MICS de 402-405 MHz, ainsi que les bandes ISM de 902-928 MHz et de 2.4 GHz. En se basant sur ces considérations, des études ont été menées afin d'évaluer les performances d'antennes implantées pour différentes fréquences de transmission [86]. Il en résulte que la propagation d'ondes électromagnétiques à partir de dispositifs implantables est plus efficace dans la plage de fréquence allant de 450 MHz à 900 MHz. La bande MICS de 402-405 MHz et ISM de 902-

928 MHz se trouvent respectivement aux limites inférieure et supérieure de cette plage. La bande MICS est réglementée et impose l'utilisation de 10 canaux de 300 kHz chacun, limitant ainsi le débit de données possible. Nous allons privilégier la bande ISM de 902-928 MHz car, en plus de donner accès à des antennes plus compactes et efficaces, elle permet également d'obtenir des débits de transmission beaucoup plus élevés étant donnée sa largeur de bande élevée.

I.1.2 Méthode de modulation

La contrainte sévère sur la consommation de puissance limite les choix de méthodes de modulation. Selon la distance de transmission désirée, la consommation de puissance du transmetteur/récepteur peut être dominée par l'amplificateur de puissance, étant donnée l'efficacité moyenne des antennes implantables compactes. Il convient alors d'utiliser une méthode de modulation à enveloppe constante, qui permettra l'utilisation d'un amplificateur de puissance non-linéaire très efficace. Un choix judicieux serait la modulation FSK à large bande, qui permet de mitiger l'effet du bruit flicker (ou en $1/f$) des transistors CMOS et le décalage DC dans l'architecture à conversion directe (la plus adaptée à l'intégration complète), tout en simplifiant la démodulation au récepteur.

I.2 Budget de puissance proposé pour le lien RF

Le budget de puissance d'un lien RF est la base à partir de laquelle il est possible de déterminer la distance de communication possible d'un système transmetteur/récepteur ainsi que les spécifications requises au niveau système. Plusieurs paramètres nuisent à la propagation du signal entre un dispositif biomédical implantable, où le système de communication est à l'intérieur du corps, et la station de traitement externe. Parmi ces facteurs, notons l'atténuation due à la propagation du signal dans le corps et dans l'air, le gain limité des antennes miniatures de transmission et de réception, etc. Enfin, un système de communication RF opérant à l'intérieur d'un bâtiment est aussi sujet aux réflexions multiples ainsi qu'à l'obstruction, deux phénomènes qui peuvent sérieusement détériorer la transmission des signaux.

Le budget de lien représente la relation entre la puissance rayonnée au transmetteur, P_{TX} , et la puissance disponible au récepteur, P_{RX} , compte tenu des pertes de propagation énumérées plus haut :

$$P_{RX} = P_{TX} + G_{TX,ANT} - L_{PATH} - L_{BODY} - G_{RX,ANT} - M \quad [\text{dBm}] \quad (\text{I.1})$$

TABLEAU I.1 Budget de puissance du lien RF proposé.

Paramètres	Uplink [†]	Downlink [‡]
Largeur de bande des canaux	2 MHz	20 kHz
Puissance de transmission (P_{TX})	-10 dBm	0 dBm
Gain de l'antenne de transmission	-10 dBi	6 dBi
EIRP	-20 dBm	6 dB
Pertes de propagation dans l'air (2 m)	38 dB	38 dB
Pertes dans le corps*	24 dB	24 dB
Marge de sécurité	15 dB	15 dB
Gain de l'antenne de réception	6 dBi	-10 dBi
Puissance minimale requise au récepteur (P_{RX})	-91 dBm	-81 dBm
Plancher de bruit du récepteur (KTB)	-111 dBm	-131 dBm
Rapport signal à bruit requis (SNR_{MIN}) dB	15 dB	

[†] De l'implant vers la station de contrôle externe

[‡] De la station de contrôle externe vers l'implant

* Voir [24]

Où $G_{TX,ANT}$ et $G_{RX,ANT}$ sont respectivement les gains des antennes du transmetteur et du récepteur, M représente la marge de sécurité que l'on s'alloue, et L_{PATH} représente les pertes de propagation dans l'air, et L_{BODY} les pertes de propagation dans le corps humain. L'atténuation de parcours dans l'air L_{PATH} est obtenue à l'aide de la formule de Friis [87] :

$$L_P = 20 \log \left(\frac{4\pi r}{\lambda} \right) \quad [\text{dB}] \quad (\text{I.2})$$

Bien entendu, d'autres pertes de propagation doivent être considérées lors de l'établissement du budget de lien RF, comme par exemple l'affaiblissement causé par l'orientation du patient, le mauvais alignement de la polarisation des antennes, l'obstruction du trajet direct principal et les pertes dues aux réflexions multiples. Ces paramètres étant très aléatoires et difficiles à quantifier, ils sont inclus sous la forme d'une marge de sécurité de 15 dB, notée M dans l'équation I.1. Le budget de puissance du lien RF envisagé dans le cadre du transmetteur/récepteur implantable est présenté au tableau I.1. Dans ce tableau, l'EIRP, ou puissance rayonnée isotrope équivalente (*Equivalent Isotropic Radiated Power*), est définie comme ($EIRP = P_T + G_{T,ANT}$).

Si l'on considère une distance de propagation de 2 m dans l'air, l'atténuation du signal RF est d'environ 38 dB. Notons qu'il n'existe aucune équation analytique permettant de modéliser précisément L_{BODY} , les pertes causées par la propagation dans le corps humain. Toutefois, les résultats de simu-

lations et de mesures présentés dans [24] montrent que l'efficacité d'une source RF de 916.5 MHz implantée dans le corps se situe entre 0.36% et 0.46% (une atténuation se situant entre 23.4 dB et 24.4 dB).

I.2.1 Rapport signal à bruit requis au récepteur

Le rapport signal à bruit minimum (SNR_{min}) requis à l'entrée du démodulateur afin d'atteindre un taux d'erreurs sur les bits donné (*Bit Error Rate - BER*) dépend du type de modulation qui est utilisé ainsi que de l'architecture du démodulateur en question. Dans le cadre de la plate-forme RF implantable proposée ici, l'architecture détaillée des modules RF du récepteur n'est pas encore précisément définie. Dans cette section, nous allons émettre l'hypothèse que le SNR minimum requis afin d'atteindre un BER de 0.1% est de 15 dB. En considérant que le type de modulation implémentée sera probablement FSK ou GFSK, un SNR de 15 dB est amplement suffisant [88].

I.3 Architecture de transmetteur/récepteur RF proposée

Dans cette section, nous allons présenter l'architecture au niveau système d'un transmetteur/récepteur RF à consommation ultra faible destiné aux microsystèmes biomédicaux implantables. Le diagramme bloc du transmetteur/récepteur proposé est montré à la figure I.1. Une architecture à conversion directe est proposée pour opérer dans la bande de fréquence ISM de 902-928 MHz. Cette bande de fréquence ne nécessite pas de permis, et représente un compromis judicieux entre la consommation de puissance, l'absorption des tissus biologiques et la taille de l'antenne nécessaire pour atteindre un gain raisonnable [24]. Au niveau système, les performances requises des applications à courte portée et débit moyen, telles que celle visée dans le cadre de ce projet, sont beaucoup moins sévères que celles de téléphonie cellulaire à haut débit de données. La réduction de complexité et les spécifications moins strictes permettent de viser l'intégration complète du transmetteur/récepteur sur une puce ainsi qu'une consommation de puissance très faible.

I.3.1 Performances requises

La distance de communication RF qui est envisagée pour le microsystème implantable proposé est de l'ordre de 2 m, de telle sorte que la puissance de transmission peut être fixée à -10 dBm afin de minimiser la consommation de puissance et donc maximiser la durée de vie des piles de l'implant. Aussi, le débit de données visé est de l'ordre de 100 Kb/s, afin de diminuer la consommation de

utilisant l'expression suivante [54] :

$$NF_{max} = 174 + P_{RX,min} - 10 \log B - SNR_{min} \quad [\text{dB}] \quad (\text{I.3})$$

En utilisant les valeurs présentées au Tableau I.1, nous obtenons que la figure de bruit maximale tolérable est $NF_{max} = 174 - 81 - 10 \log(20\text{KHz}) - 15 = 35 \text{ dB}$.

I.3.3 Linéarité du récepteur

Lorsque l'espacement en fréquence $f_2 - f_1$ entre deux signaux d'interférence aux fréquences f_1 et f_2 est égal à l'espacement en fréquence $f_1 - f_0$ entre le signal d'interférence à f_1 et le signal désiré à f_0 , alors les produits d'intermodulation de 3^e ordre ($IM3$), qui ont des fréquences égales à $2f_1 - f_2$ et $2f_2 - f_1$, se superposent au signal désiré et diminuent le rapport signal à bruit. Le niveau de puissance des signaux d'interférence à partir duquel le niveau des produits d'intermodulation devient égal au plancher de bruit (*Noise Floor - F*), est noté $P_{RX,max}$ et est donné par l'expression suivante :

$$\begin{aligned} P_{IN,max} &= \frac{2P_{IIP3} + F}{3} \\ &= \frac{2P_{IIP3} - 174\text{dBm} + 10 \log B + NF}{3} \end{aligned} \quad (\text{I.4})$$

Où P_{IIP3} représente le point d'interception de 3^e ordre à l'entrée du récepteur (*Input 3rd-Order Intercept Point*). Si l'on fait l'hypothèse que deux transmetteurs situés à 10 cm de distance du patient transmettent simultanément avec une puissance de 0 dBm (1 mW) aux fréquences f_1 et f_2 , alors la puissance du signal d'interférence à l'entrée du récepteur implantée est de -46 dBm (cette valeur tient compte des pertes dans l'air, dans le corps ainsi que le gain de l'antenne de réception). Pour cette situation de type "pire cas", l'équation I.4 indique que le récepteur doit avoir un $IIP3$ minimal de -21 dBm pour que le SNR ne soit pas affecté.

I.3.4 Plage dynamique du récepteur

La plage dynamique du récepteur (*Spurious Free Dynamic Range - SFDR*) est définie comme la différence entre le niveau de puissance maximal qui résulte en des composantes d'intermodulation dont le niveau est égal au plancher de bruit, $P_{IN,max}$, et la sensibilité du récepteur $P_{RX,min}$. Ainsi, la plage dynamique du récepteur proposé se situe aux alentours de $-46 \text{ dBm} - -81 \text{ dBm} = 35 \text{ dB}$.

I.3.5 Bruit de phase

Dans les transmetteurs RF, le bruit de phase de l'oscillateur local (LO) qui s'étend dans les canaux adjacents diminue leur rapport signal à bruit en augmentant le niveau du bruit plancher. Dans le cas d'un récepteur, ce même bruit de phase résulte en la transposition en fréquence dans la bande d'intérêt de signaux indésirables. Par exemple, si un signal parasite puissant est présent dans une des bandes latérales (*sidebands*) du LO, alors ce signal parasite sera transféré en bande de base et superposé au signal désiré, et ce avec une puissance finale qui peut complètement bloquer le signal à recevoir. Le bruit de phase maximum tolérable à un décalage de fréquence donné Δf de la porteuse peut être estimé à l'aide de l'expression suivante :

$$\mathcal{L}(\Delta f) = P_{RX,min} - P_{INT,max} - 10 \log B - SNR_{min} \quad [\text{dBc/Hz}] \quad (\text{I.5})$$

Où $P_{RX,min}$ est la puissance minimale reçue du signal désiré, $P_{INT,max}$ est la puissance maximale à laquelle on peut s'attendre pour un signal d'interférence à un décalage de fréquence Δf , B est la largeur de bande utile du récepteur et enfin SNR_{min} est le rapport signal à bruit minimal requis pour maintenir un BER donné. Puisque le transmetteur/récepteur proposé ne sera pas conçu en vue de satisfaire à une norme de communication commercial, nous devons faire certaines hypothèses quant au niveau des interférences qui sont attendues. Cet exercice étant loin d'être trivial, un bon départ serait de considérer les performances de bruit de phase imposées par la norme ZigBee, dans lequel 10 canaux de 2 MHz de largeur de bande sont implémentés [89]. Selon cette norme, la puissance maximale des signaux d'interférence à 2 MHz et 4 MHz de distance de la porteuse sont respectivement de -92 dBm et -62 dBm. Par conséquent, le bruit de phase maximum tolérable pour le LO du récepteur implantable est de -78 dBc/Hz à 300 KHz, -84 dBc/Hz à 600 KHz, et de -88 dBc/Hz à 1 MHz de décalage en fréquence de la porteuse.

ANNEXE II

MÉTHODOLOGIE DE CONCEPTION DE CIRCUITS ANALOGIQUES ET RF À FAIBLE CONSOMMATION

Lors de la conception de circuits analogiques et RF à très faible consommation, les spécifications sont extrêmement variées, nombreuses et contraignantes. Aussi, tous les modes de fonctionnement des transistors MOSFET sont exploités : inversions faible, forte et modérée. Ceci résulte en un grand nombre de solutions possibles, en particulier en termes de tailles de transistors et de courants de polarisation qui peuvent s'étaler sur plusieurs ordres de grandeur. Dans le but d'atteindre une consommation de puissance minimale, la méthodologie de conception utilisée doit permettre au concepteur de dimensionner les transistors adéquatement et de choisir les points de polarisation de façon à obtenir le maximum de performance des transistors en les opérant en inversion faible, modérée et forte selon le contexte. Il est alors hautement désirable de pouvoir effectuer des calculs manuels afin d'avoir une bonne intuition du comportement du circuit analogique en développement avant d'entamer des simulations approfondies.

Cependant, le comportement des transistors MOS des récents procédés de fabrication nanométriques est devenu excessivement complexe à décrire analytiquement. La taille réduite des transistors, les champs électriques élevés que l'on y retrouve ainsi que les tensions d'alimentation requises qui diminuent plus rapidement que ne diminuent V_{TH} compliquent grandement la conception de circuits analogiques. Malgré cela, les méthodes de conception suivies par les concepteurs de circuits analogiques demeurent basées sur le modèle classique du comportement du transistor développé il y a maintenant plus de 40 ans. Ce modèle assume que le transistor opère en inversion forte et utilise la tension d'*overdrive* de grille, $V_{OV} = V_{GS} - V_{TH}$, comme variable principale de conception [90]. De plus, la faible corrélation entre les paramètres calculés à la main et les résultats obtenus avec le simulateur (SPICE, Spectre ou autres) incitent souvent le concepteur à utiliser un simulateur comme outil de conception dès le départ, que ce soit pour déterminer le ratio W/L , le courant de polarisation etc. Ce type d'analyse est excessivement difficile et inefficace à mener avec un logiciel classique de simulation car les dimensions des transistors et les conditions de polarisation adéquates doivent être déterminées *a priori*, alors que ce sont en fait les inconnues du problème [91].

Nous présentons dans ce chapitre une méthodologie de conception puissante, qui permet d'évaluer et de caractériser une technologie MOS pour la conception de circuits analogiques tout en permet-

tant d'effectuer des calculs manuels préliminaires précis. Cette méthode est basée sur le modèle de MOSFET EKV de l'École Fédérale Polytechnique de Lausanne [92]. En exploitant le concept de coefficient d'inversion IC qui sera décrit dans la section suivante, elle offre une formulation simple mais précise des différents paramètres impliqués lors de la conception de circuits analogiques.

II.1 Méthodologie g_m/I_D

Tel que mentionné précédemment, la tension d'overdrive de grille $V_{OV} = V_{GS} - V_{TH}$ n'est définitivement plus une variable de conception pertinente à l'ère des procédés nanométriques. Aucune expression simple ne relie précisément la transconductance g_m , le gain de tension DC A_{V0} ou la fréquence de transition f_t à la tension d'overdrive de grille V_{OV} . De plus, V_{OV} ne définit plus de façon valide la limite de la région de saturation $V_{DS,SAT}$, qui n'a plus de signification physique dans les procédés CMOS récents [93]. Clairement, une approche alternative de conception s'impose.

Une nouvelle méthode pour interpréter le comportement du transistor, basée sur le coefficient d'inversion IC , a été introduite par les créateurs du modèle EKV. Cette méthode utilise le rapport entre l'efficacité de la transconductance g_m/I_D en fonction du coefficient d'inversion IC . Ce faisant, il devient possible d'identifier la région d'opération d'un transistor MOS à partir du niveau d'inversion de son canal, et d'utiliser ce coefficient d'inversion comme variable d'optimisation lors de la conception de circuits analogiques opérant en inversions faible, modérée et forte. Le coefficient d'inversion d'un transistor MOSFET est défini par [60] :

$$IC = \frac{I_D}{2n_0\mu_0 C_{OX}(W/L)U_T^2} \quad (\text{II.1})$$

où I_D est le courant de drain, n_0 est le facteur de pente, μ_0 est la mobilité à faible champ, C_{OX} est la capacité de l'oxyde par unité de surface, U_T est le voltage thermique (environ 26 mV) et enfin W/L est le ratio des dimensions du transistor. Ce coefficient indique la région d'opération du transistor : en inversion faible, $IC < 0.1$; en inversion modérée $0.1 < IC < 10$ alors qu'en inversion forte $IC > 10$. Le coefficient d'inversion peut aussi être exprimé de la façon simplifiée suivante :

$$IC = \frac{I_D}{I_0(W/L)} \quad (\text{II.2})$$

où $I_0 = 2n_0\mu_0 C_{OX}U_T^2$ est appelé "courant technologique". Ce courant, qui dépend du procédé, représente le courant de drain d'un transistor de taille unitaire ($W/L = 1$) au centre de la région d'inversion modérée, c'est-à-dire lorsque $IC = 1$.

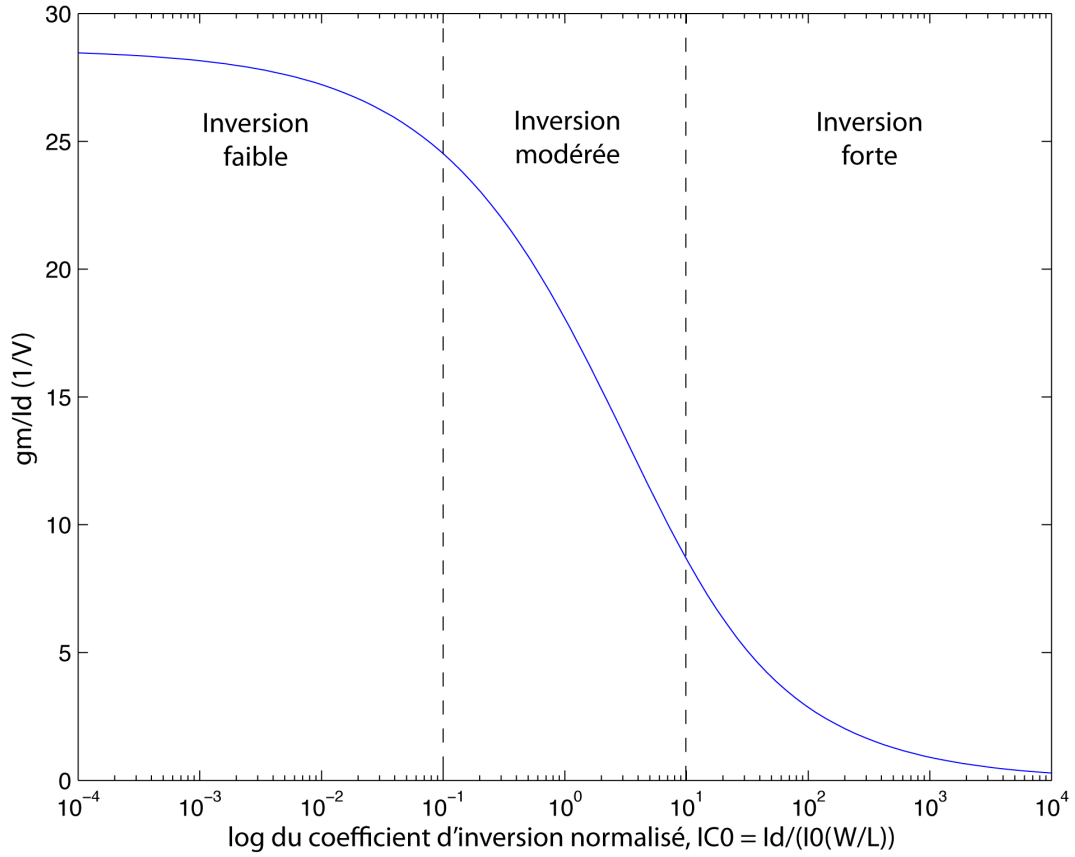


FIGURE II.1 Efficacité de transconductance g_m/I_D en fonction du coefficient d'inversion IC .

La méthodologie présentée ici est basée sur une propriété fondamentale du transistor MOSFET : le rapport entre l'efficacité de transconductance g_m/I_D en fonction du coefficient d'inversion IC . Ce ratio, qui ne dépend que des paramètres de la technologie utilisée, est décrit précisément et de façon continue par le modèle EKV, et ce au travers des régions d'inversion faible, modérée et forte :

$$g_m/I_D = \frac{1 - e^{\sqrt{IC}}}{nU_T\sqrt{IC}} \quad (\text{II.3})$$

Le rapport g_m/I_D en fonction du coefficient d'inversion est illustré à la figure II.1. Dans le contexte de ce projet de recherche, où les transistors sont utilisés dans les régions d'inversion faible à forte, la méthodologie g_m/I_D s'avère particulièrement appropriée pour le choix des points de polarisation et des dimensions des transistors. La reformulation des paramètres clés de conception en terme du

rapport g_m/I_D permet d'éliminer du problème une inconnue très difficile à estimer *a priori*, le rapport de dimension W/L , qui peut prendre pratiquement n'importe quelle valeur, par le rapport g_m/I_D dont la plage de valeurs admissibles est limitée et bien connue. Dans tous les cas, la physique du transistor MOSFET ne permet pas un rapport de g_m/I_D supérieur à 38 V^{-1} et tend vers 0 en inversion très forte [32]. En pratique, sa valeur maximale se situe généralement aux alentours de 28 V^{-1} . En conséquence, les paramètres g_m/I_D et IC s'imposent comme paramètres clés pour la synthèse de circuits analogiques et RF à faible consommation.

II.1.1 Reformulation des différents paramètres de conception

Nous allons maintenant reformuler, à titre d'exemple simple, les paramètres de conception pour le cas simple d'un amplificateur source commune avec une source de courant idéale comme charge active en termes du rapport g_m/I_D et du coefficient d'inversion IC . Le gain de tension DC intrinsèque de l'amplificateur est donné par :

$$A_{V0} = g_m \cdot r_0 = \left(\frac{g_m}{I_D} \right) I_D \cdot r_0 = \frac{1 - e^{\sqrt{IC}}}{nU_T \sqrt{IC}} \cdot V_{eal} \cdot L \quad (\text{II.4})$$

Le gain de tension DC intrinsèque est maximal dans la région d'inversion faible, là où le rapport g_m/I_D est à son maximum, tel que l'indique l'équation II.3. Une procédure similaire permet de reformuler la fréquence de gain unitaire intrinsèque du transistor comme :

$$\begin{aligned} f_t &= \frac{g_m}{2\pi(C_{gs} + C_{gd})WL} \\ &= \left(\frac{g_m}{I_D} \right) \cdot \frac{I_D}{2\pi(C_{gs} + C_{gd})WL} \\ &= \left(\frac{g_m}{I_D} \right) \frac{IC \cdot I_0}{2\pi(C_{gs} + C_{gd})L^2} \\ &= \frac{1 - e^{\sqrt{IC}}}{nU_T} \frac{\sqrt{IC} \cdot I_0}{2\pi(C_{gs} + C_{gd})L^2} \end{aligned} \quad (\text{II.5})$$

Nous remarquons ici que la fréquence de gain unitaire intrinsèque du transistor augmente avec IC : un coefficient d'inversion élevé maximise f_t . Ceci est malheureux, car la condition de gain DC maximal correspond à la condition de bande passante minimale, et vice-versa. Pour la conception de circuits haute fréquence à faible consommation, il s'agira donc d'opérer les transistors au niveau d'inversion minimal permettant tout de même de satisfaire les besoins de fréquence de gain unitaire.

II.1.2 Étapes de conception pour les circuits RF faible consommation

Dans le cas d'applications RF, les transistors sont opérés à très haute fréquence, souvent à une fraction importante de leur fréquence de gain unitaire f_t . Pour la conception de circuits analogiques RF à faible puissance, il est primordial de maximiser le gain de transconductance par unité de courant de drain (rapport g_m/I_D) tout en respectant la contrainte sur la fréquence de gain unitaire du transistor. Dans cette optique, nous avons appliqué la méthodologie g_m/I_D de la façon suivante aux circuits analogiques du transmetteur/récepteur :

1. Trouver le coefficient d'inversion IC minimal satisfaisant f_t , en utilisant :

$$f_t = \frac{1 - e^{\sqrt{IC}}}{nU_T} \frac{\sqrt{IC} \cdot I_0}{2\pi(C_{gs} + C_{gd})L^2} \quad (\text{II.6})$$

2. Déterminer le rapport g_m/I_D correspondant à partir de la courbe (Figure II.1) ou à partir de l'équation suivante :

$$g_m/I_D = \frac{1 - e^{\sqrt{IC}}}{nU_T\sqrt{IC}} \quad (\text{II.7})$$

3. Calculer le courant de drain I_D nécessaire pour obtenir le gain de transconductance désiré en utilisant la valeur d'efficacité de transconductance correspondant au coefficient d'inversion IC fixé, à partir de :

$$I_D = \frac{g_m}{(g_m/I_D)} \quad (\text{II.8})$$

4. Calculer les dimensions requises du transistor pour que le coefficient d'inversion donné par l'équation II.2 soit satisfait :

$$W/L = \frac{I_D}{(IC \cdot I_0)} \quad (\text{II.9})$$

En faisant du rapport g_m/I_D et du coefficient d'inversion IC les variables fondamentales du problème de conception, il devient possible de prévoir un certain gain de transconductance et une fréquence de gain unitaire plutôt que de les obtenir "par ricochet" suite au choix d'un certain courant de polarisation et d'un dimensionnement de transistor suivi de simulations SPICE. La connaissance du coefficient d'inversion permet d'acquérir une certaine intuition sur les compromis entre le gain DC, la bande passante, les dimensions des transistors, etc. Si un concepteur optimise les transistors en se basant sur le coefficient d'inversion IC , alors les dimensions W et L du transistor seront une conséquence du design, et non pas une entrée lors de la phase de conception tel qu'il est le cas lorsque la conception est basée sur SPICE [94]. Enfin, cette méthodologie permet aussi d'exprimer des facteurs tels que le non-appariement des transistors, le bruit flicker, et autres en termes du coefficient d'inversion IC et du rapport g_m/I_D .

ANNEXE III

POINT D'OPÉRATION OPTIMAL D'UN RÉSONATEUR SAW DANS UN OSCILLATEUR DE TYPE PIERCE

III.1 Conception d'un oscillateur de type Pierce basé sur un résonateur SAW

Cette annexe présente la conception d'un oscillateur Pierce utilisant un résonateur à onde acoustique de surface (*Surface Acoustic Wave - SAW*) destiné aux applications où une consommation ultra faible est requise. Un oscillateur est requis dans un système de communication afin de générer la ou les fréquences porteuses qui seront ensuite modulées pour transmettre les données. Contrairement à un synthétiseur de fréquences qui, comme son nom l'indique, permet de générer des porteuses très stables de différentes fréquences, un oscillateur basé sur un résonateur SAW génère une porteuse à une seule fréquence, déterminée par les propriétés électromécaniques du résonateur. En termes simples, un oscillateur à résonateur SAW est l'équivalent en RF d'un oscillateur à cristal.

Un résonateur SAW peut être modélisé, près de la résonance, comme un réseau RLC série en parallèle avec une capacité C_0 , tel qu'illustré à la figure III.1. Les valeurs typiques des paramètres du modèle équivalent d'un résonateur SAW dont la fréquence de résonance est de 403.55 MHz sont $R_S=12\ \Omega$, $C_S=2.00399\ \text{fF}$, $L_S=77.6154\ \mu\text{H}$ et $C_0=2\ \text{pF}$. Les composantes réelle et imaginaire de l'impédance différentielle du résonateur sont illustrées graphiquement à la figure III.2. Tel que le montre cette figure, l'impédance différentielle du résonateur SAW est inductive entre les résonances série et parallèle (respectivement aux fréquences dénotées f_S et f_P). L'impédance équivalente du

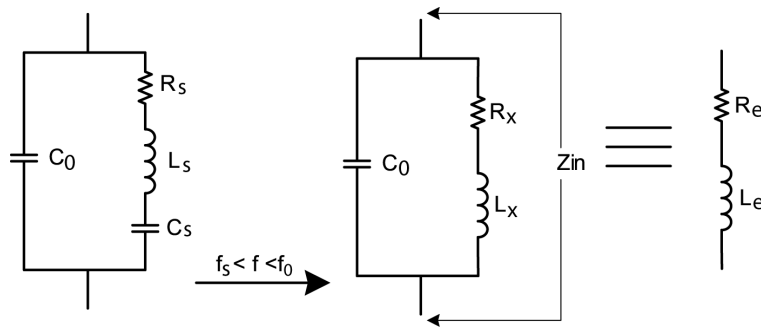


FIGURE III.1 Modèle électrique équivalent d'un résonateur SAW.

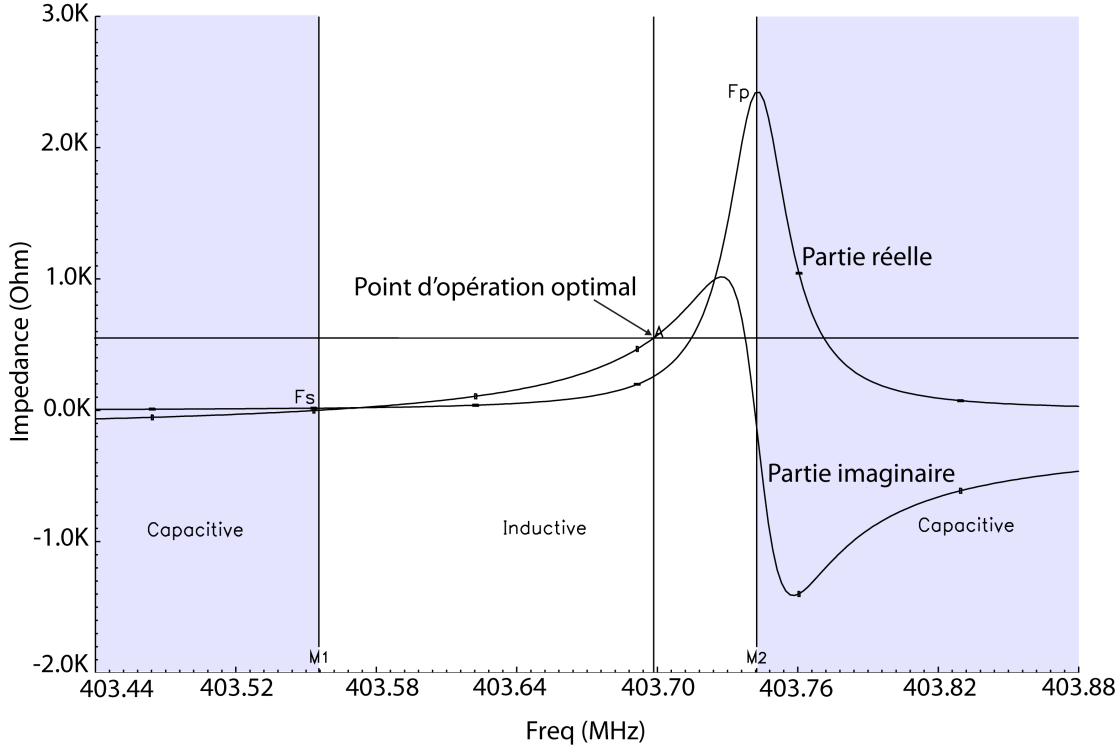


FIGURE III.2 Impédance différentielle du résonateur SAW.

résonateur SAW dans la zone inductive est donnée par :

$$Z_{IN} = R_e + j\omega L_e \quad (\text{III.1})$$

Puisque le résonateur SAW se comporte comme une inductance sur une plage de fréquence excessivement restreinte, cette propriété peut être utilisée pour générer une fréquence de référence très stable dans une configuration d'oscillateurs Pierce ou Colpitts par exemple. Cette approche est couramment utilisée à plus basse fréquence pour la réalisation des oscillateurs à cristal [95]. Toutefois, les résonateurs à cristal, à la résonance, se comportent pratiquement comme une inductance idéale en comparaison avec les résonateurs SAW, pour lesquels la composante de perte R_e est une fraction non négligeable de l'inductance équivalente L_e .

La figure III.3 montre un oscillateur de type Pierce avec un résonateur de type SAW dans la boucle de rétroaction, qui a été ouverte afin de calculer le gain de boucle. Si on néglige l'impédance de sortie finie de la source de courant cascode PMOS et du transistor NMOS M1, alors le gain de

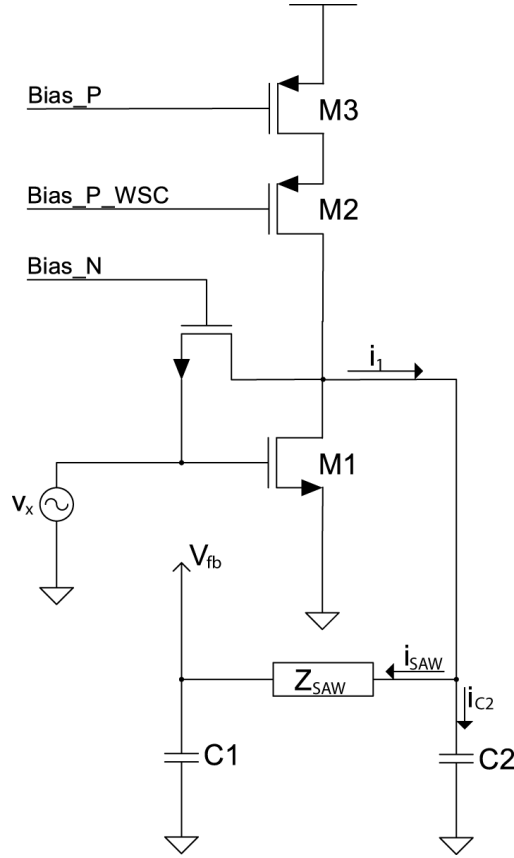


FIGURE III.3 Calcul du gain de boucle de l'amplificateur utilisé dans l'oscillateur de type Pierce.

boucle $A(j\omega)\beta(j\omega)$ de l'oscillateur est donné par :

$$\frac{v_{fb}}{v_x} = -g_{m1} \left(\frac{Z_{C1}Z_{C2}}{Z_{C1} + Z_{C2} + Z_{SAW}} \right) \quad (\text{III.2})$$

Le déphasage total introduit par la boucle est donc :

$$\angle \left(\frac{v_{fb}}{v_x} \right) = -180^\circ - 180^\circ - \angle (Z_{C1} + Z_{C2} + Z_{SAW}) \quad (\text{III.3})$$

Pour qu'il y ait démarrage d'oscillations, il faut que le déphasage $Z_{C1} + Z_{C2} + Z_{SAW}$ soit nul, c'est-à-dire que le résonateur SAW se comporte comme une inductance à la fréquence d'opération.

À cette fréquence, nous avons :

$$j\omega L_e = \frac{1}{j\omega \frac{C_1 C_2}{C_1 + C_2}} \quad (\text{III.4})$$

Alors, de l'équation III.2, l'amplitude du gain de boucle devient :

$$\frac{v_{fb}}{v_x} = -g_{m1} \frac{Z_{C1} Z_{C2}}{R_e} = \frac{g_{m1}}{\omega^2 C_1 C_2 R_e} \quad (\text{III.5})$$

Le phénomène d'oscillation démarrera si et seulement si le gain de boucle est égal ou supérieur à l'unité. Le gain de transconductance requis pour le transistor M1 est donc :

$$g_{m1} > \omega^2 C_1 C_2 R_e \quad (\text{III.6})$$

La stabilité de l'oscillateur Pierce est maximisée lorsque $C_1 = C_2$ [96]. Avec ce choix, les valeurs des condensateurs C_1 et C_2 doivent être égales à $2/\omega(\omega L_e)$. Ainsi, l'équation III.6 indique que :

$$g_{m1} > \frac{4}{(\omega L_e)^2} R_e = 4 \frac{\text{Re}\{Z_{SAW}\}}{(\text{Im}\{Z_{SAW}\})^2} \quad (\text{III.7})$$

On en déduit donc que la fréquence d'opération optimale du résonateur si l'on désire minimiser la transconductance g_{m1} requise, et par conséquent la consommation de courant, est celle pour laquelle la *différence* entre les composantes inductive et réelle est positive et maximale, tel qu'illustré à la figure III.2. Ce résultat indique que, contrairement à ce que l'équation III.6 laisse croire à première vue, choisir les valeurs minimales de C_1 et C_2 ne résulte pas nécessairement en une consommation de puissance minimale. Ceci est causé par l'augmentation significative de la partie réelle — les pertes — de l'impédance différentielle du résonateur SAW entre les résonances série et parallèle en comparaison avec la composante inductive.

III.2 Résultats et conclusions

Cet oscillateur à résonateur SAW à faible consommation a été implémenté en technologie CMOS 90-nm de STMicroelectronics. Tel que le montre la figure III.2, la composante inductive de l'impédance différentielle au point d'opération optimal du résonateur SAW est de $j550\Omega$, alors que la composante réelle est de 262Ω . En utilisant la méthodologie de conception g_m/I_D décrite à l'annexe II, nous trouvons que le courant de polarisation de M1 requis est de $320\mu A$ à un coefficient d'inversion de 0.1 afin d'obtenir les 8 mA/V de transconductance requises au démarrage des oscillations. Avec ces choix, les simulations *post-layout* incluant les plots de soudure et les composantes parasites des *wirebonds* indique un gain de boucle en excès de 10 dB à la résonance, comme le montre la figure III.4. L'oscillateur à résonateur SAW proposé ici consomme environ trois fois

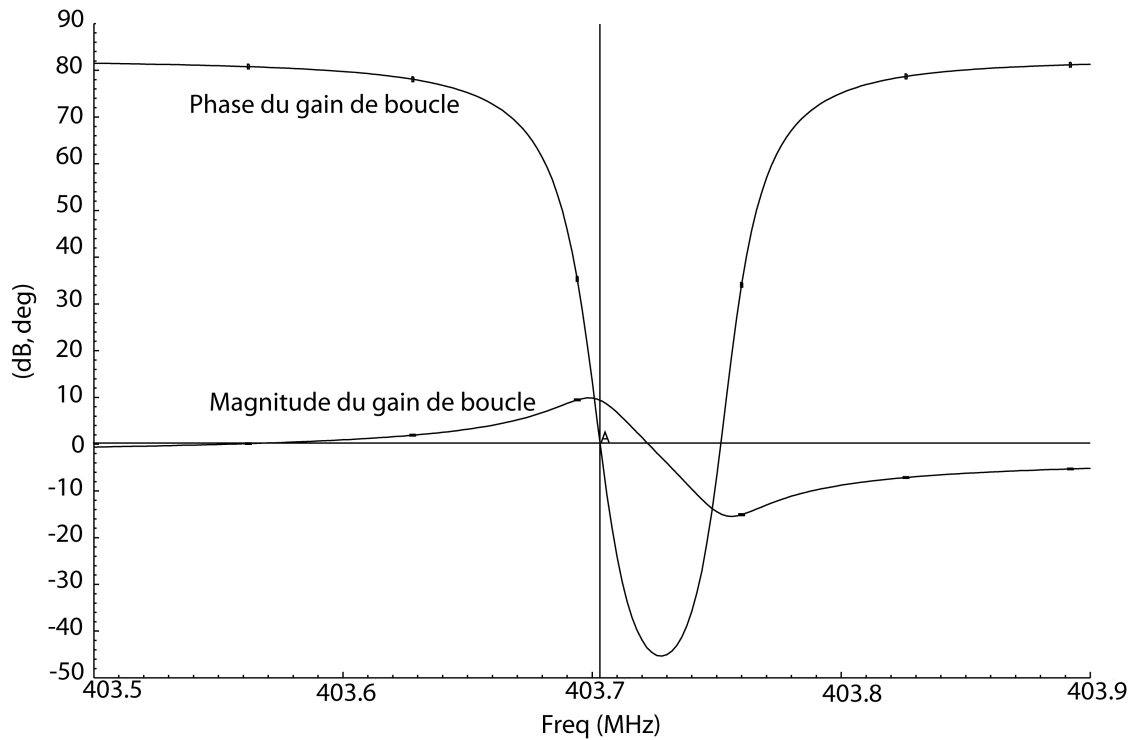


FIGURE III.4 Valeur absolue et phase du gain de boucle de l'oscillateur SAW.

moins de puissance que l'oscillateur à résonateur SAW en technologie CMOS $0,35\mu\text{m}$ présenté dans [97].

Bien que la consommation de puissance d'environ $320\mu\text{W}$ de l'oscillateur proposé soit attrayante, il faut garder en tête que les oscillateurs à résonateurs microélectromécaniques de type SAW, BAW ou FBAR ne permettent la génération que d'une seule fréquence qui, par ailleurs, ne peut être modulée. De plus, la consommation de puissance requise pour opérer l'oscillateur avec résonateur SAW n'est pas extrêmement basse en comparaison avec celle que requiert les oscillateurs à résonateurs FBAR, dont un prototype a été présenté avec une consommation de puissance inférieure à $100\mu\text{W}$ [26]. Comme nous l'avons mentionné plus tôt, la composante inductive limitée que présentent les résonateurs SAW implique l'utilisation de capacités de valeurs relativement élevées, ce qui augmente significativement la transconductance requise pour maintenir les oscillations. Malheureusement, les résonateurs FBAR ne sont pas disponibles dans les bandes de fréquences ISM, et les fréquences auxquelles résonnent les résonateurs FBAR correspondent à des zones de grande absorption des tissus biologiques.

ANNEXE IV

CIRCUIT IMPRIMÉ POUR LA CARACTÉRISATION DU SYNTHÉTISEUR

Le circuit imprimé (PCB) montré à la figure IV.1 a été conçu afin de valider les performances du synthétiseur de fréquences. Le logiciel Eagle de la compagnie CadSoft a été utilisé pour concevoir le schéma électronique (montré à la figure IV.2) ainsi que les dessins de masque de ce PCB.

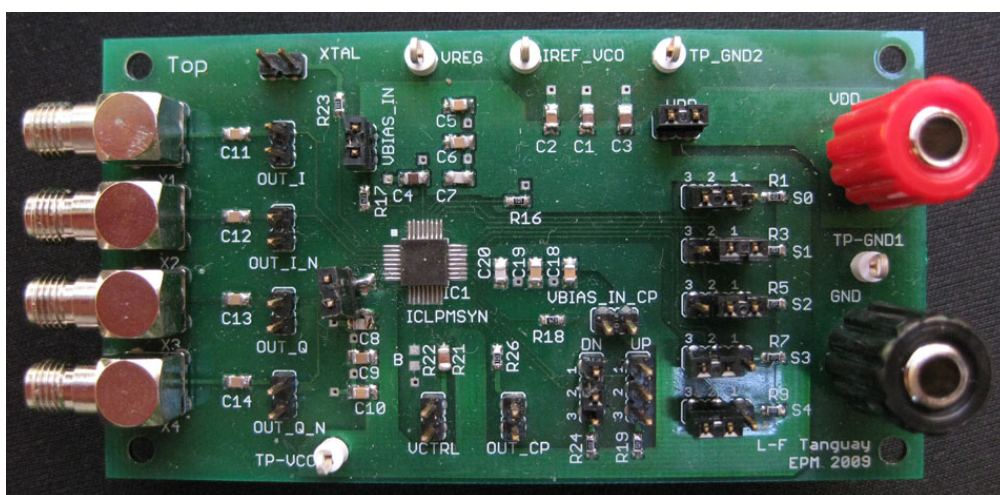


FIGURE IV.1 Circuit imprimé de validation du synthétiseur de fréquences.

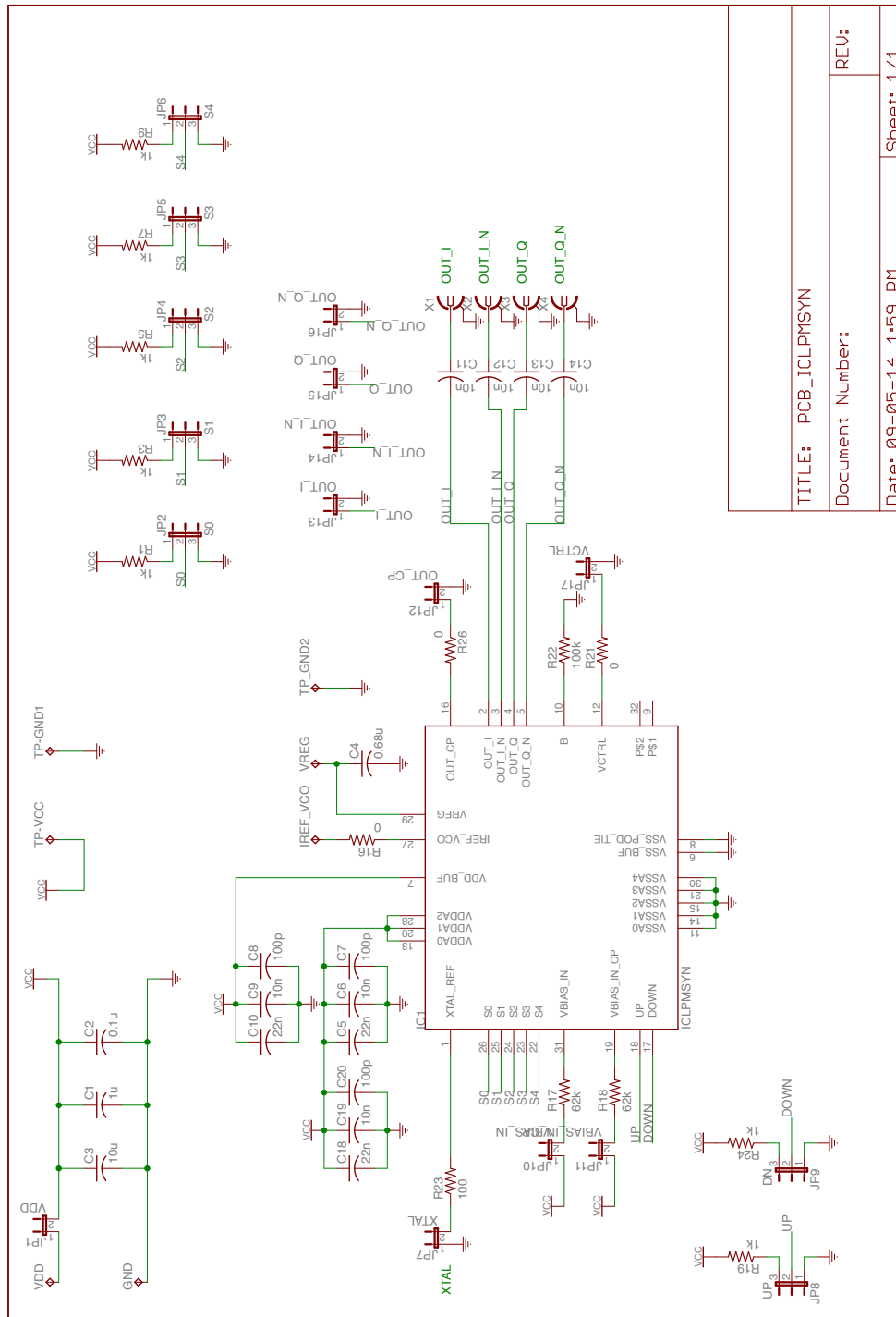


FIGURE IV.2 Schéma électrique du circuit imprimé de validation du synthétiseur de fréquences.

ANNEXE V

MODÈLES VERILOG-A DES MODULES DU SYNTHÉTISEUR DE FRÉQUENCES

Détecteur de phase/fréquence et pompe de charges

```
// VerilogA for LFT_verilogAMS, VCO, veriloga
`include "constants.vams"
`include "disciplines.vams"
`include "/users/lftang/cmos90nm.3.0/LFT_verilogAMS/phase.vams"

module phaseDetector(pin,nin,out);
input pin, nin; output out;
phase pin, nin;
electrical out;
parameter real Icp = 50E-6 from (0:inf); // maximum CP current (A)
parameter real n = 1E-20 from [0:inf]; // white output current noise (A2/Hz)
parameter real fc = 100E3 from [0:inf]; // flicker noise corner frequency (Hz)
analog begin
I(out) <+ - Icp / (2*`M_PI) * Theta(pin,nin);
I(out) <+ white_noise(n,"wpn") + flicker_noise(n*fc, 1,"fpn");
end
endmodule
```

Filtre de boucle

```
// VerilogA for LFT_verilogAMS, VCO, veriloga
`include "constants.vams"
`include "disciplines.vams"

module loopFilter(n,gnd);
electrical n,gnd;
parameter real c1 = 1n from (0:inf);
parameter real c2 = 200p from (0:inf);
parameter real r = 10K from (0:inf);
electrical int;
capacitor #(.c(c1)) C1(n, gnd);
capacitor #(.c(c2)) C2(n, int);
resistor #(.r(r)) R(int, gnd);
endmodule
```

Oscillateur contrôlé par tension

```
// VerilogA for LFT_verilogAMS, VCO, veriloga
`include "constants.vams"
`include "disciplines.vams"
`include "/users/lftang/cmos90nm.3.0/LFT_verilogAMS/phase.vams"

module vco(in,out);
input in; output out;
voltage in;
phase out;
parameter real Kvco = 200E6 from (0:inf); // transfer gain, Kvco (Hz/V)
parameter real n = 3 from [0:inf]; // white output phase noise at 1 Hz (rad2/Hz)
parameter real fc = 100E3 from [0:inf]; // flicker noise corner frequency (Hz)
analog begin
Theta(out) <+ 2*`M_PI*idtmod(Kvco*V(in),0,1);
Theta(out) <+ flicker_noise(n, 2,"wpn") + flicker_noise(n*fc, 3,"fpn");
end
endmodule
```

Diviseur par 2 I/Q

```
// VerilogA for LFT_verilogAMS, VCO, veriloga
`include "constants.vams"
`include "disciplines.vams"
`include "/users/lftang/cmos90nm.3.0/LFT_verilogAMS/phase.vams"

module Divide_by_2(in,out);
input in; output out;
phase in, out;
parameter real ratio = 2 from (0:inf); // divide ratio
parameter real n = 1E-22 from [0:inf]; // white output phase noise (rads2/Hz)
parameter real fc = 100E3 from [0:inf]; // flicker noise corner frequency (Hz)
analog begin
Theta(out) <+ Theta(in)/ratio;
Theta(out) <+ white_noise(n,"wpn") + flicker_noise(n*fc, 1,"fpn");
end
endmodule
```

Diviseur programmable

```
// VerilogA for LFT_verilogAMS, VCO, veriloga
`include "constants.vams"
```

```

`include "disciplines.vams"
`include "/users/lftang/cmos90nm.3.0/LFT_verilogAMS/phase.vams"

module divider(in,out);
input in; output out;
phase in, out;
parameter real ratio = 100 from (0:inf); // divide ratio
parameter real n = 1E-22 from [0:inf]; // white output phase noise (rads2/Hz)
parameter real fc = 100E3 from [0:inf]; // flicker noise corner frequency (Hz)
analog begin
Theta(out) <+ Theta(in)/ratio;
Theta(out) <+ white_noise(n,"wpn") + flicker_noise(n*fc, 1,"fpn");
end
endmodule

```